

LIQUID CRYSTAL DISPLAY DEVICE

Patent Number: JP6208130
Publication date: 1994-07-26
Inventor(s): SHODA KATSUHIKO; others: 01
Applicant(s):: HITACHI LTD
Requested Patent: JP6208130
Application Number: JP19930002452 19930111
Priority Number(s):
IPC Classification: G02F1/136
EC Classification:
Equivalents:

Abstract

PURPOSE: To improve the numerical aperture, and to correct a line defect perfectly, and to correct a defect due to a short circuit of a retention volume element part, and to prevent fluctuation of the characteristic of a thin film transistor.

CONSTITUTION: A bypass (GBP) is provided in a scanning signal line (GL), which also works as a gate electrode (GT) of a thin film transistor (TFT), per each picture element, and a closed loop connected to an external circuit is formed by the scanning signal line (GL) and the bypass (GBP) per each picture element, and an image signal line (DL) crosses the closed loop at plural parts, and a retention volume element (Cadd), in which a picture element electrode (ITO1) is used as one electrode and the bypass (GBP) of the adjacent picture element is used as the other electrode, is formed so as to work as the bypass (GBP) and the retention volume element (Cadd), and in a thin film transistor (TFT) of all picture elements, a source electrode (SD2) is arranged in the same direction with a drain electrode (SD1) unified with the image signal line (DL).

Data supplied from the **esp@cenet** database - I2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-208130

(43)Date of publication of application : 26.07.1994

(51)Int.Cl.

G02F 1/136

(21)Application number : 05-002452

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.01.1993

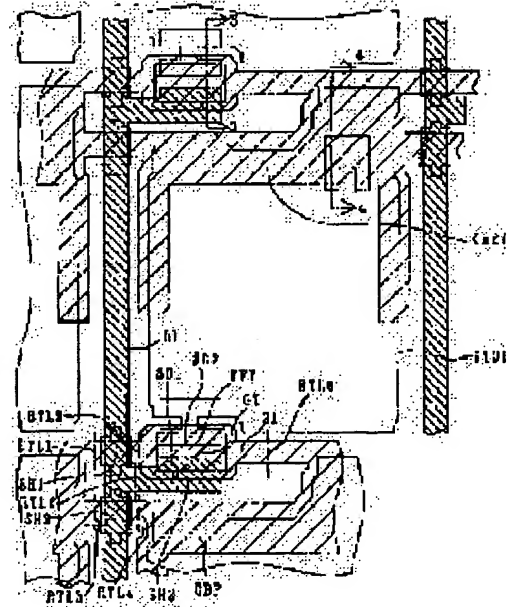
(72)Inventor : SHODA KATSUHIKO
HASEGAWA KAORU

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To improve the numerical aperture, and to correct a line defect perfectly, and to correct a defect due to a short circuit of a retention volume element part, and to prevent fluctuation of the characteristic of a thin film transistor.

CONSTITUTION: A bypass (GBP) is provided in a scanning signal line (GL), which also works as a gate electrode (GT) of a thin film transistor (TFT), per each picture element, and a closed loop connected to an external circuit is formed by the scanning signal line (GL) and the bypass (GBP) per each picture element, and an image signal line (DL) crosses the closed loop at plural parts, and a retention volume element (Cadd), in which a picture element electrode (ITO1) is used as one electrode and the bypass (GBP) of the adjacent picture element is used as the other electrode, is formed so as to work as the bypass (GBP) and the retention volume element (Cadd), and in a thin film transistor (TFT) of all picture elements, a source electrode (SD2) is arranged in the same direction with a drain electrode (SD1) unified with the image signal line (DL).



LEGAL STATUS

[Date of request for examination] 16.09.1999

[Date of sending the examiner's decision of rejection] 17.07.2001

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-208130

(43)公開日 平成 6 年(1994) 7 月26日

(51)Int.Cl.⁵

G 0 2 F 1/136

識別記号

5 0 0

庁内整理番号

9018-2K

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 15 頁)

(21)出願番号 特願平5-2452

(22)出願日 平成 5 年(1993) 1 月11日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 鎗田 克彦

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72)発明者 長谷川 薫

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

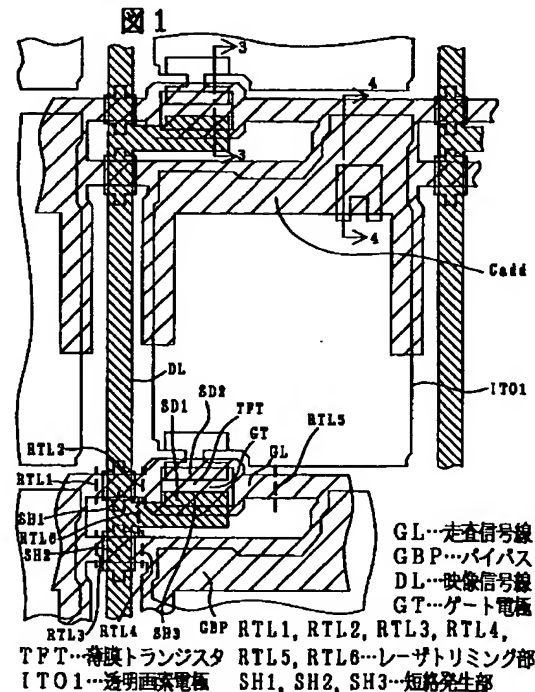
(74)代理人 弁理士 中村 純之助

(54)【発明の名称】 液晶表示装置

(57)【要約】

【構成】薄膜トランジスタ (TFT) のゲート電極 (GT) を兼用する走査信号線 (GL) にバイパス (GBP) を各画素毎に設け、走査信号線 (GL) とバイパス (GBP) とにより外部回路と接続された閉ループを各画素毎に形成し、映像信号線 (DL) は閉ループと複数箇所で交差し、画素電極 (ITO1) を一方の電極とし、隣の画素のバイパス (GBP) を他方の電極とする保持容量素子 (Cadd) を形成してバイパス (GBP) と保持容量素子 (Cadd) とを兼用し、かつ、すべての画素の薄膜トランジスタ (TFT) において、映像信号線 (DL) と一体となったドレイン電極 (SD1) に対してソース電極 (SD2) を同じ向きに配置した構成。

【効果】開口率向上、線欠陥の完全修正可能、保持容量素子部の短絡による点欠陥修正可能、薄膜トランジスタの特性のばらつきの防止。



【特許請求の範囲】

【請求項1】水平方向に延在し、かつ垂直方向に複数本配置された走査信号線と、垂直方向に延在し、かつ水平方向に複数本配置された映像信号線と、隣接する2本の上記走査信号線と隣接する2本の上記映像信号線との交差領域内にそれぞれ配置された薄膜トランジスタと画素電極とを有し、上記薄膜トランジスタと上記画素電極とを一画素の構成要素とするアクティブ・マトリクス方式の液晶表示装置において、上記各画素を水平方向および垂直方向に直線状に並べて配置し、上記薄膜トランジスタのゲート電極を兼用する上記走査信号線にバイパスを上記各画素毎に設け、上記走査信号線と上記バイパスとにより外部回路と接続された閉ループを上記各画素毎に形成し、上記映像信号線は上記閉ループと複数箇所で交差し、かつ、上記画素電極を一方の電極とし、隣の上記画素の上記バイパスを他方の電極とする保持容量素子を形成して上記バイパスと上記保持容量素子とを兼用したことを特徴とする液晶表示装置。

【請求項2】すべての上記画素の上記薄膜トランジスタにおいて、上記映像信号線と一体となったドレイン電極に対してソース電極を同じ向きに配置したことを特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタと画素電極とを一画素の構成要素とするアクティブ・マトリクス方式の液晶表示装置に係り、特に、信号線にバイパスを設けることにより短絡や断線による表示画面の欠陥を修正できる技術に関する。

【0002】

【従来の技術】アクティブ・マトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極のそれぞれに対応して非線形素子（スイッチング素子）を設けたものである。各画素における液晶は理論的には常時駆動（デューティ比 1.0）されているので、時分割駆動方式を採用している、いわゆる単純マトリクス方式と比べてアクティブ方式はコントラストが良く、特にカラー液晶表示装置では欠かせない技術となりつつある。スイッチング素子として代表的なものとしては薄膜トランジスタ（TFT）がある。

【0003】なお、薄膜トランジスタを使用したアクティブ・マトリクス方式の液晶表示装置は、例えば「冗長構成を採用した12.5型アクティブ・マトリクス方式カラー液晶ディスプレイ」、日経エレクトロニクス、頁193～210、1986年12月15日、日経マグロウヒル社発行、や特開昭61-151516号公報で知られている。

【0004】液晶表示部（液晶表示パネル）は、液晶層を基準として下部透明ガラス基板上に薄膜トランジスタ、透明画素電極、薄膜トランジスタの保護膜、液晶分子の向きを設定するための下部配向膜を順次設けた下部

透明基板と、上部透明ガラス基板上にブラックマトリクス、カラーフィルタ、カラーフィルタの保護膜、共通透明画素電極、上部配向膜を順次設けた上部透明基板とを互いの配向膜が向き合うように重ね合わせ、基板の縁周囲に配置したシール材によって両基板を接着すると共に両基板の間に液晶を封止し、さらに両基板の外側に偏光板を設置または貼り付けて構成されている。なお、一方の基板側にはバックライトが配置される。

【0005】また、液晶表示部は、水平方向に延在し、かつ垂直方向に複数本配置された走査信号線と、垂直方向に延在し、かつ水平方向に複数本配置された映像信号線と、隣接する2本の上記走査信号線と隣接する2本の上記映像信号線との交差領域内にそれぞれ配置された薄膜トランジスタと画素電極とを有し、上記薄膜トランジスタと上記画素電極とを一画素の構成要素としている。

【0006】

【発明が解決しようとする課題】垂直に交差する走査信号線と映像信号線との交差部、あるいは走査信号線と映像信号線とが重ね合わせられた部分（すなわち、薄膜トランジスタ部において、走査信号線と一体であるゲート電極と、映像信号線と一体であるドレイン電極とが重ね合わせられた部分）においては、絶縁層を介して走査信号線と映像信号線、あるいはゲート電極とソースまたはドレイン電極とが絶縁されているが、絶縁膜のピンホールや異物、段差等が原因となって、走査信号線と映像信号線、あるいはゲート電極とソースまたはドレイン電極との短絡、または映像信号線や走査信号線の断線が発生し、表示画面において縦横十字形の線欠陥が発生する問題がある。後者の部分における短絡、すなわち、薄膜トランジスタ部のゲート電極とソースまたはドレイン電極との短絡の方は、その短絡部の両側をレーザを用いて切断することにより、線欠陥を点欠陥に修正することはできるが、走査信号線と映像信号線との交差部における短絡または断線による線欠陥は修正できない。

【0007】なお、短絡や断線が発生した場合に修正可能のように走査信号線または映像信号線の本来の信号線にバイパス（副行路）を設け、短絡が発生すると本来の信号線またはバイパスのいずれか一方の適宜の箇所を切断して短絡部を電気的に切離し、線欠陥を修正する構造が提案されている。信号線かバイパスのいずれかに断線が発生した場合は、断線していない方の線に信号が流れるので、修正は不要である。これらは、例えば、特開昭61-249078、特開昭63-221325、実公平4-19530、特公平4-35050、特開平1-134341、特開平1-134342、特開平1-134343、特開平1-134344、特開平1-134345、特開平1-284831、および特開平2-2521号公報に記載されている。しかし、これらすべての装置では、保持容量素子を備えていない。保持容量素子は、液晶の寿命の低下と、液晶表示画面の切り替え

時に前の画像が残るいわゆる焼き付きの原因となる、薄膜トランジスタのスイッチング時に液晶に加わる直流成分を低減できる。また、保持容量素子は放電時間を長くする作用もあり、薄膜トランジスタがオフした後の映像情報を長く蓄積する。

【0008】また、特開昭64-62617号公報では、バイパスと保持容量素子を設けた装置が記載されている。しかし、この装置では、バイパスの部分に保持容量素子を設けていない。したがって、保持容量素子部に短絡が発生した場合、該短絡部の修正を行なうことができず、また、バイパスと保持容量素子を兼用しない構造なので、開口率が低い。

【0009】本発明の目的は、走査信号線と映像信号線との交差部や重ね合わされた部分のどの箇所において短絡や断線が発生しても、線欠陥を完全に修正できる液晶表示装置を提供することにある。

【0010】また、本発明の他の目的は、液晶の寿命の低下と画面の焼き付きの原因となる直流成分を低減でき、かつ放電時間を長くできる保持容量素子を備えるとともに、保持容量素子部に発生した短絡の修正を行なうことができる液晶表示装置を提供することにある。

【0011】さらに、本発明の他の目的は、バイパスと保持容量素子とを兼用することにより、開口率を向上できる液晶表示装置を提供することにある。

【0012】

【課題を解決するための手段】上記課題を解決するために、本発明は、①上記薄膜トランジスタのゲート電極を兼用する上記走査信号線に②バイパスを各画素毎に設け、上記走査信号線と上記バイパスとにより外部回路と接続された閉ループを各画素毎に形成し、③上記映像信号線は上記閉ループと複数箇所で交差し、かつ、④上記画素電極を一方の電極とし、隣の上記画素の上記バイパスを他方の電極とする保持容量素子を形成して⑤上記バイパスと上記保持容量素子とを兼用した液晶表示装置を提供する。

【0013】また、本発明は、⑥すべての上記画素の上記薄膜トランジスタにおいて、上記映像信号線と一体となったドレイン電極に対してソース電極を同じ向きに配置した液晶表示装置を提供する。

【0014】

【作用】本発明では、①走査信号線と薄膜トランジスタのゲート電極とを兼用したので、開口率を向上できる。

【0015】②走査信号線にバイパスを各画素毎に設け、走査信号線とバイパスとにより外部回路と接続された閉ループを各画素毎に形成したので、閉ループに短絡が生じた場合、レーザー等を用いて閉ループのどこを切断しても外部回路に接続され、線欠陥を修正できる。なお、閉ループを構成する走査信号線に断線が発生しても、走査信号はバイパスを通り、線欠陥は発生しない。また、閉ループを構成するバイパスに断線が発生して

も、走査信号は走査信号線の主行路を通り、線欠陥は発生しない。

【0016】③映像信号線を閉ループと複数箇所で交差させたので、走査信号線と映像信号線との該複数箇所の交差部や重ね合わされた部分（すなわち、薄膜トランジスタ部において、走査信号線と一体であるゲート電極と、映像信号線と一体であるドレイン電極とが重ね合わされた部分）のどの箇所において短絡が発生しても短絡部の両側の閉ループを切断することにより線欠陥を完全に修正できる。

【0017】④画素電極を一方の電極とし、隣の画素のバイパスを他方の電極とする保持容量素子を形成したので、保持容量素子部に短絡が発生した場合、該短絡部の両側のバイパスを切断することにより、短絡部は電気的に切り離され、保持容量素子部の短絡による点欠陥を修正できる。

【0018】⑤バイパスと保持容量素子とを兼用したので、開口率を向上できる。

【0019】⑥すべての上記画素の上記薄膜トランジスタにおいて、上記映像信号線と一体となったドレイン電極に対してソース電極を同じ向きに配置したので、水平方向または垂直方向への薄膜トランジスタ形成用マスクの合わせずれが生じても、薄膜トランジスタのソースまたはドレイン電極の重なり具合の変化がすべての画素について同様になるので、薄膜トランジスタの特性のばらつきを防止できる。

【0020】

【実施例】

（アクティブ・マトリクス液晶表示装置）以下、アクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0021】図1は本発明の第1の実施例のアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図、図2は図1の3-3切断線における断面を示す図、図3は図1の4-4切断線における断面図である。また、図4には図1に示す画素を複数配置したときの平面図を示す。

【0022】（画素配置）図1において、TFTは薄膜トランジスタ、ITO1は透明画素電極、GLは走査信号線、GBPは走査信号線GLのバイパス（副行路）、DLは映像信号線、SH1、SH2、SH3は短絡（または断線）が発生して線欠陥が発生しやすい部分（短絡発生部と称す）で、SH1は走査信号線GLと映像信号線DLとが交差する第1の交差部、SH2は走査信号線GLのバイパスGBPと映像信号線DLとが交差する第2の交差部、SH3は走査信号線GLと映像信号線DLとが重ね合わされた部分、すなわち、薄膜トランジスタTFTにおいて、走査信号線GLと一体であるゲート

電極GTと、映像信号線DLと一体であるドレイン電極SD1とが重ね合わせられた部分である。RTL1、RTL2、RTL3はレーザを用いて切断するレーザトリミング部である。なお、図1では、理解しやすいように、走査信号線GLには右上がりの斜線を付し、映像信号線DLには右下がりの斜線を付した。

【0023】図1に示すように、各画素は隣接する2本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Cadd（あとで詳細に説明する）を含む。走査信号線GLは列方向に延在し、行方向に複数本配置されている。映像信号線DLは行方向に延在し、列方向に複数本配置されている。

【0024】本実施例では、図1に示すように、各画素毎に、走査信号線GLにバイパスGBPを設け、このバイパスGBPは走査信号線GLと映像信号線DLとの第1の交差部SH1の上流側で走査信号線GLから分岐し、バイパスGBPと映像信号線DLとの第2の交差部SH2および薄膜トランジスタTFTの下流側で走査信号線GLに合流している。

【0025】すなわち、本実施例では、図1に示すように、①走査信号線GLと薄膜トランジスタTFTのゲート電極GTとを兼用したので、開口率を向上できる。

【0026】②走査信号線GLにバイパスGBPを各画素毎に設け、走査信号線GLとバイパスGBPとにより外部回路と接続された閉ループを各画素毎に形成したので、閉ループに短絡が生じた場合、レーザ等を用いて閉ループのどこかを切断しても外部回路に接続され、線欠陥を修正できる。なお、閉ループを構成する走査信号線GLに断線が発生しても、走査信号はバイパスGBPを通り、線欠陥は発生しない。また、閉ループを構成するバイパスGBPに断線が発生しても、走査信号は走査信号線GLの主流路を通り、線欠陥は発生しない。

【0027】③映像信号線DLを閉ループと2箇所で交差させたので、走査信号線GLと映像信号線DLとの該2箇所の交差部や重ね合わせられた部分（すなわち、薄膜トランジスタTFT部において、走査信号線GLと一体であるゲート電極GTと、映像信号線DLと一体であるドレイン電極SD1とが重ね合わせられた部分）のどの箇所において短絡が発生しても短絡部の両側の閉ループを切断することにより線欠陥を完全に修正できる。

【0028】すなわち、第1に、第1の交差部SH1で走査信号線GLと映像信号線DLとの短絡が発生した場合には、第1の交差部SH1の両側（第1の交差部SH1の上流側および下流側）の走査信号線GLをレーザを用いてレーザトリミング部RTL1、RTL2で示すように切断することにより、短絡部は電氣的に切り離さ

れ、かつ、走査信号はバイパスGBPを通り、線欠陥を修正することができる。また、第1の交差部SH1で断線が発生しても、走査信号はバイパスGBPを通り、線欠陥は発生しない。

【0029】第2に、第2の交差部SH2で走査信号線GLと映像信号線DLとの短絡が発生した場合には、第2の交差部SH2の両側（第2の交差部SH2の上流側および下流側）のバイパスGBPをレーザを用いてレーザトリミング部RTL3、RTL4で示すように切断することにより、短絡部は電氣的に切り離され、かつ、走査信号は走査信号線GLの主流路を通り、線欠陥を修正することができる。また、第2の交差部SH2で断線が発生しても、走査信号は走査信号線GLの主流路を通り、線欠陥は発生しない。

【0030】第3に、薄膜トランジスタTFTにおいて、走査信号線GLと一体であるゲート電極GTと、映像信号線DLと一体であるドレイン電極SD1との短絡が発生した場合には、第1の交差部SH1および薄膜トランジスタTFTの両側（第1の交差部SH1の上流側および薄膜トランジスタTFTの下流側）の走査信号線GLをレーザを用いて例えばレーザトリミング部RTL1、RTL5で示すように切断することにより、短絡部（薄膜トランジスタTFT）は電氣的に切り離され、かつ、走査信号はバイパスGBPを通り、この短絡した薄膜トランジスタTFTを有する画素の点欠陥で済み、線欠陥を点欠陥に修正することができる。

【0031】なお、走査信号線GLと一体であるゲート電極GTと、映像信号線DLと一体でないソース電極SD2とが重ね合わせられた部分において短絡が発生した場合には、この短絡した薄膜トランジスタTFTを有する画素の点欠陥で済む。

【0032】このように、走査信号線GLと映像信号線DLが交差したり、ゲート電極GTとドレイン電極SD1が重なる部分SH1、SH2、SH3で短絡または断線が発生して線欠陥が発生する場合でも、線欠陥を修正することができ、線欠陥のない表示画面が得られ、液晶表示装置の歩留りを向上させ、製造コストを下げることができる。なお、走査信号線GLと映像信号線DLあるいはバイパスGBPとの2つの第1の交差部SH1、第2の交差部SH2の両方に、短絡、断線が発生する確率は低い。

【0033】さらに、第2の交差部SH2で走査信号線GLと映像信号線DLとの短絡が発生し、かつ、薄膜トランジスタTFTにおいて、ゲート電極GTと映像信号線DLと一体であるドレイン電極SD1が重なる部分SH3で、ゲート電極GTとドレイン電極SD1との短絡が発生した場合には、第2の交差部SH2の両側のバイパスGBPと、ゲート電極GTとドレイン電極SD1が重なる部分SH3の左側の映像信号線DLを、レーザを用いてレーザトリミング部RTL3、RTL4、および

10

20

30

40

50

RTL6で示すように切断することにより、2箇所の短絡部は電気的に切り離され、かつ、走査信号は走査信号線GLの主流路を通り、線欠陥を点欠陥に修正することができる。

【0034】④画素電極ITO1を一方の電極とし、隣の画素のバイパスGBPを他方の電極とする保持容量素子Caddを形成したので、保持容量素子Cadd部に短絡が発生した場合、該短絡部の両側のバイパスGBPを切断することにより、短絡部は電気的に切り離され、保持容量素子Cadd部の短絡による点欠陥を修正できる。また、保持容量素子Caddを設けたので、液晶の寿命の低下と、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きの原因となる、薄膜トランジスタTFTのスイッチング時に液晶に加わる直流成分を低減できる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。

【0035】⑤バイパスGBPと保持容量素子Caddとを兼用したので、開口率を向上できる。

【0036】⑥すべての画素の薄膜トランジスタTFTの向きを同一にしたので、換言すると、すべての画素の薄膜トランジスタTFTにおいて、映像信号線DLと一体となったドレイン電極SD1に対してソース電極SD2を同じ向きに配置したので、水平方向または垂直方向への薄膜トランジスタTFTの形成用マスクの合わせずれが生じても、薄膜トランジスタTFTのソースまたはドレイン電極SD1、SD2の重なり具合の変化がすべての画素について同様になるので、薄膜トランジスタTFTの特性のばらつきを防止できる。例えば、薄膜トランジスタの映像信号線と一体となったドレイン電極に対するソース電極の向きを走査信号線毎に互い違いになるように薄膜トランジスタを配置すると(すなわち、ある走査信号線の画素の薄膜トランジスタのドレイン電極を兼ねる映像信号線がその画素に対して左側にあり、その次段の走査信号線の画素の薄膜トランジスタのドレイン電極を兼ねる映像信号線が右側にある場合)、薄膜トランジスタ形成用マスクが水平方向にずれると、走査信号線毎に薄膜トランジスタのソースまたはドレイン電極の重なり具合の変化が逆になり、薄膜トランジスタの特性のばらつきが生じるが、本実施例では、すべての薄膜トランジスタTFTの向きを同一としたので、これを防止できる。

【0037】なお、図4は、図1に示す画素を複数配置した液晶表示部の部分平面図である。液晶表示部の各画素は、図4に示すように、水平方向にも垂直方向にも直線状に並んだ(ずれていない)ストライプ配置構造となっている。

【0038】(表示部断面全体構造)図2に示すように、液晶LCを基準に下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1

が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。下部透明ガラス基板SUB1はたとえば1.1mm程度の厚さで構成されている。また、透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SIOが設けられている。このため、透明ガラス基板SUB1、SUB2の表面に鋭い傷があったとしても、鋭い傷を酸化シリコン膜SIOで覆うことができるので、その上にデポジットされる走査信号線GL、遮光膜BM等の膜質を均質に保つことができる。

【0039】図示していないが、液晶封入口を除く透明ガラス基板SUB1、SUB2の縁周囲全体に沿って液晶LCを封止するようにシール材が形成され。シール材は例えばエポキシ樹脂から成る。上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一個所において、銀ペースト材によって下部透明ガラス基板SUB1側に形成された外部引出配線に接続されている。この外部引出配線は後述するゲート端子GTM、ドレイン端子DTMと同一製造工程で形成される。

【0040】配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2、それぞれの層は、シール材の内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間に封入され、シール材によってシールされている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0041】上部透明ガラス基板SUB2の内側(液晶LC側)の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2(COM)および上部配向膜ORI2が順次積層して設けられている。

【0042】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、その後下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2との間に液晶LCを封入することによって組み立てられる。

【0043】(薄膜トランジスタTFT)薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0044】各画素の薄膜トランジスタTFTは、ゲート電極GT、ゲート絶縁膜GI、i型(真性、intrinsic、導電型決定不純物がドーパされていない)非晶質シ

10

20

30

40

50

リコン(Si)からなるi型半導体層AS、一対のソース電極、ドレイン電極SD1、SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0045】すべての画素の薄膜トランジスタTFTの向きは、図4に示すように、同一になっている。すなわち、すべての画素の薄膜トランジスタTFTにおいて、映像信号線DLと一体となったドレイン電極SD1に対してソース電極SD2が同じ向きに配置されている。したがって、水平方向または垂直方向への薄膜トランジスタTFTの形成用マスクの合わせずれが生じても、薄膜トランジスタTFTのソースまたはドレイン電極SD1、SD2の重なり具合の変化がすべての画素について同様になるので、薄膜トランジスタTFTの特性のばらつきを防止できる。

【0046】なお、本実施例では、図1に示すように各画素につき、1個の薄膜トランジスタTFTをそれぞれ設けたが、各画素において、それぞれ実質的に同一寸法(チャンネル長、チャンネル幅が同じ)の薄膜トランジスタを2個(TFT1、TFT2とする)並べて配置してもよい(3個以上配置してもよい)。この場合、透明画素電極ITO1は、薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続する。これにより、薄膜トランジスタTFT1、TFT2のうちの1個に欠陥が生じても、その欠陥が表示画面上における線欠陥の発生等の副作用をもたらす場合は、レーザ光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すればよい。なお、2個の薄膜トランジスタTFT1、TFT2に同時に欠陥が発生することは稀であり、このような冗長方式により点欠陥や線欠陥の確率を極めて小さくすることができる。

【0047】(ゲート電極GT)ゲート電極GTは薄膜トランジスタTFTの能動領域を越えてるよう突出している。薄膜トランジスタTFTのゲート電極GTは、一体に(共通ゲート電極として)構成されており、走査信号線GLに連続して形成されている。本例では、ゲート電極GTは、単層の第2導電膜g2で形成されている。第2導電膜g2はたとえばスパッタで形成されたアルミニウム(A1)膜を用い、1000~5500Å程度の膜厚で形成する。また、ゲート電極GT上にはA1の陽極酸化膜AOFが設けられている。

【0048】このゲート電極GTは図2に示されているように、i型半導体層ASを完全に覆うよう(下方からみて)それより大き目に形成される。したがって、下部透明ガラス基板SUB1の下方に蛍光灯等のバックライトBLを取り付けた場合、この不透明なA1からなるゲ

ート電極GTが影となって、i型半導体層ASにはバックライト光が当たらず、光照射による導電現象すなわち薄膜トランジスタTFTのオフ特性劣化は起きにくくなる。なお、ゲート電極GTの本来の大きさは、ソース電極SD1とドレイン電極SD2との間をまたがるに最低限必要な(ゲート電極GTとソース電極SD1、ドレイン電極SD2との位置合わせ余裕分も含めて)幅を持ち、チャンネル幅Wを決めるその奥行き長さはソース電極SD1とドレイン電極SD2との間の距離(チャンネル長)Lとの比、すなわち相互コンダクタンス μ を決定するファクタW/Lをいくつにするかによって決められる。この液晶表示装置におけるゲート電極GTの大きさはもちろん、上述した本来の大きさよりも大きくされる。

【0049】(走査信号線GLおよびバイパスGBP)走査信号線GLおよびそのバイパスGBPは第2導電膜g2で構成されている。この走査信号線GLおよびバイパスGBPの第2導電膜g2はゲート電極GTの第2導電膜g2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GLおよびバイパスGBP上にもA1の陽極酸化膜AOFが設けられている。

【0050】(絶縁膜GI)絶縁膜GIは薄膜トランジスタTFTのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIはたとえばプラズマCVDで形成された窒化シリコン膜を用い、1200~2700Åの膜厚(この液晶表示装置では、2000Å程度の膜厚)で形成する。

【0051】(i型半導体層AS)i型半導体層ASは、薄膜トランジスタTFTのチャンネル形成領域として使用される。i型半導体層ASは非晶質シリコン膜または多結晶シリコン膜で形成し、200~2200Åの膜厚(この液晶表示装置では、2000Å程度の膜厚)で形成する。

【0052】このi型半導体層ASは、供給ガスの成分を変えてSi₃N₄からなるゲート絶縁膜として使用される絶縁膜GIの形成に連続して、同じプラズマCVD装置で、しかもそのプラズマCVD装置から外部に露出することなく形成される。また、オーミックコンタクト用のリン(P)を2.5%ドーパしたN(+)型半導体層d0(図2)も同様に連続して200~500Åの膜厚(この液晶表示装置では、300Å程度の膜厚)で形成される。しかる後、下部透明ガラス基板SUB1はCVD装置から外に取り出され、写真処理技術によりN(+)型半導体層d0およびi型半導体層ASは図2に示すように独立した島状にパターンニングされる。

【0053】i型半導体層ASは、走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡

を低減する。

【0054】(透明画素電極ITO1)透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0055】透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、1000~2000Åの膜厚(この液晶表示装置では、1400Å程度の膜厚)で形成される。

【0056】(ソース電極SD1、ドレイン電極SD2)薄膜トランジスタTFTのソース電極SD1とドレイン電極SD2とは、図2に示すように、i型半導体層AS上にそれぞれ離隔して設けられている。

【0057】ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する下層側から、第2導電膜d2、第3導電膜d3を順次重ね合わせて構成されている。ソース電極SD1の第2導電膜d2および第3導電膜d3は、ドレイン電極SD2の第2導電膜d2および第3導電膜d3と同一製造工程で形成される。

【0058】第2導電膜d2はスパッタで形成したクロム(Cr)膜を用い、500~1000Åの膜厚(この液晶表示装置では、600Å程度の膜厚)で形成する。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d0との接触が良好である。Cr膜は後述する第3導電膜d3のAlがN(+)型半導体層d0に拡散することを防止するいわゆるバリア層を構成する。第2導電膜d2として、Cr膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi₂、TiSi₂、TaSi₂、WSi₂)膜を用いてもよい。

【0059】第3導電膜d3はAlのスパッタリングで3000~5000Åの膜厚(この液晶表示装置では、4000Å程度の膜厚)に形成される。Al膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減するように構成されている。第3導電膜d3として純Al膜の他にシリコンや銅(Cu)を添加物として含有させたAl膜を用いてもよい。

【0060】第2導電膜d2、第3導電膜d3を同じマスクパターンでパターニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さ分は全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチン

グされるが、その程度はエッチング時間で制御すればよい。

【0061】ソース電極SD1は透明画素電極ITO1に接続されている。ソース電極SD1は、i型半導体層AS段差(第2導電膜g2の膜厚、陽極酸化膜AOFの膜厚、i型半導体層ASの膜厚およびN(+)型半導体層d0の膜厚を加算した膜厚に相当する段差)に沿って構成されている。具体的には、ソース電極SD1は、i型半導体層ASの段差に沿って形成された第2導電膜d2と、この第2導電膜d2の上部に形成した第3導電膜d3とで構成されている。ソース電極SD1の第3導電膜d3は第2導電膜d2のCr膜がストレスの増大から厚く形成できず、i型半導体層ASの段差形状を乗り越えられないので、このi型半導体層ASを乗り越えるために構成されている。つまり、第3導電膜d3は厚く形成することでステップカバレッジを向上している。第3導電膜d3は厚く形成できるので、ソース電極SD1の抵抗値(ドレイン電極SD2や映像信号線DLについても同様)の低減に大きく寄与している。

【0062】(保護膜PSV1)薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1μm程度の膜厚で形成する。

【0063】(遮光膜BM)上部透明ガラス基板SUB2側には、外部光(図2では上方からの光)がチャネル形成領域として使用されるi型半導体層ASに入射されないように、遮光膜BMが設けられ、遮光膜BMはほぼ透明画素電極ITO1を除くようなパターンとされている。

【0064】したがって、薄膜トランジスタTFTのi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、その部分は外部の自然光やバックライト光が当たらなくなる。遮光膜BMは画素の周囲に形成され、つまり、遮光膜BMは格子状に形成され(ブラックマトリクス)、この格子で1画素の有効表示領域が仕切られている。したがって、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0065】また、透明画素電極ITO1のラビング方向の根本側のエッジ部に対向する部分(図示せず)が遮光膜BMによって遮光されているから、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0066】なお、バックライトを上部透明ガラス基板

SUB2側に取り付け、下部透明ガラス基板SUB1を観察側（外部露出側）とすることもできる。

【0067】（カラーフィルタFIL）カラーフィルタFILはアクリル樹脂等の樹脂材料で形成される染色基材に染料を着色して構成されている。カラーフィルタFILは画素に対向する位置・形状に上述のようにストライプ状に配置形成され（図5）、染め分けられている。

（図5は図4に対応してカラーフィルタFILのみを描いたもので、B、R、Gの各カラーフィルターFILはそれぞれ、平行な縦線、 45° 、 135° のハッチを施してある）。カラーフィルタFILは透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0068】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面に染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0069】（保護膜PSV2）保護膜PSV2はカラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2は例えばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0070】（共通透明画素電極ITO2）共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差（電界）に応答して変化する。この共通透明画素電極ITO2にはコモン電圧 V_{com} が印加されるように構成されている。コモン電圧 V_{com} は映像信号線DLに印加されるロウレベルの駆動電圧 V_{dmin} とハイレベルの駆動電圧 V_{dmax} との中間電位である。

【0071】（ゲート端子部）図6は表示マトリックスの走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、（A）は平面であり（B）は（A）のB-B切断線における断面を示している。なお、同図は図4のマトリックスを基準にすれば基板SUB1の左端付近を示すものである。

【0072】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図におい

て、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層g2は表面にその酸化物 Al_2O_3 膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。マスクパターンAOは前述したように、走査線GLに単一の直線では交差せず、クランク状に折れ曲がって交差させている。

10 【0073】図中AL層g2は、判り易くするためハッチを施してあるが、陽極酸化されない領域は櫛状にパターンニングされている。これは、A1層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。従って、本例では櫛の根本に相当する部分もマスクAOに沿ってずらしている。

【0074】ゲート端子GTMは酸化珪素SIO層と接着性の良いCr層g1と、更にその表面を保護し画素電極ITO1と同レベル（同層、同時形成）の透明導電層d1とで構成されている。なお、ゲート絶縁膜GI上及びその側面部に形成された導電層d2及びd3は、導電層d3やd2のエッチング時ピンホール等が原因で導電層g2やg1と一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。又、ゲート絶縁膜GIを乗り越えて右方向に延長されたITO層d1は同様な対策を更に万全とさせたものである。

【0075】平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電気的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図で上下に複数本並べられ、図でゲート端子の左端は、製造過程では、基板の切断領域を越えて延長され短絡される。製造過程におけるこのような短絡は陽極酸化時の給電と、配向膜ORI1のラビング時等の静電破壊防止に役立つ。

40 【0076】（ドレイン端子DTM）図7は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、（A）はその平面を示し、（B）は（A）のB-B切断線における断面を示す。同図は、図4のマトリックスを基準にすれば基板SUB1の上端部及び下端部を示しており、便宜上方向は変えてあるが左端方向が基板SUB1の上端部又は下端部に該当する。

【0077】TSTdは検査端子でありここには外部回路は接続されない。検査端子TSTdと外部接続ドレイン端子DTMは上下方向に千鳥状に複数交互に配列され、検査端子TSTdは図に示すとおり基板SUB1の

端部に到達することなく終端しているが、ドレイン端子DTMは基板SUB1の切断線を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに短絡される。図中検査端子TSTdが存在する映像信号線DLのマトリクスを挟んで反対側にはドレイン接続端子が接続され、逆にドレイン接続端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子が接続されるドレイン接続端子DTMは前述したゲート端子GTMと同様な理由でCr層g1及びITO層d1の2層で形成されており、ゲート絶縁膜GIを除去した部分で映像信号線DLと接続されている。ゲート絶縁膜GIの端部上に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッチングするためのものである。端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。AOは前述した陽極酸化マスクでありその境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には層g2が存在しないのでこのパターンは直接は関係しない。

【0078】(保持容量素子Caddの構造)透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLのバイパスGBPと重なるように形成されている。この重ね合わせは、図3からも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLのバイパスGBPを他方の電極PL1とする保持容量素子(静電容量素子)Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0079】保持容量素子Caddは、図1からも明らかなように、走査信号線GLのバイパスGBPの第2導電膜g2の部分に形成されている。なお、映像信号線DLと交差する部分の第2導電膜g2は映像信号線DLとの短絡の確率を小さくするため細くされている。保持容量素子Caddの電極PL1の段差部において透明画素電極ITO1が断線しても、その段差をまたがるように形成された第2導電膜d2および第3導電膜d3で構成された島領域によってその不良は補償される。この島領域は、開口率を低下しないように、できる限り小さく構成する。

【0080】また、画素電極ITO1を一方の電極とし、隣の画素のバイパスGBPを他方の電極とする保持容量素子Caddを形成したので、保持容量素子Cadd部に短絡が発生した場合、該短絡部の両側のバイパスGBPを切断することにより、短絡部は電氣的に切り離され、保持容量素子Cadd部の短絡による点欠陥を修正できる。さらに、バイパスGBPと保持容量素子Caddとを兼用したので、開口率を向上できる。

【0081】(表示装置全体等価回路)表示マトリクス部の等価回路とその周辺回路の結線図を図8に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0082】図中、X(添字省略)は映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1, 2, 3, ..., endは走査タイミングの順序に従って付加されている。

【0083】映像信号線X(添字省略)は交互に上側(または奇数)映像信号駆動回路He、下側(または偶数)映像信号駆動回路Hoに接続されている。

【0084】走査信号線Y(添字省略)は垂直走査回路Vに接続されている。

【0085】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト(上位演算処理装置)からのCRT(陰極線管)用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0086】(保持容量素子Caddの等価回路とその動作)図1に示される画素の等価回路を図9に示す。図9において、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量である。寄生容量Cgsの誘電体膜は絶縁膜GIおよび陽極酸化膜AOFである。Cpixは透明画素電極ITO1(PIX)と共通透明画素電極ITO2(COM)との間に形成される液晶容量である。液晶容量Cpixの誘電体膜は液晶LC、保護膜PSV1および配向膜ORI1、ORI2である。Vlcは中点電位である。

【0087】保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位(画素電極電位)Vlcに対するゲート電位変化 ΔVg の影響を低減するように働く。この様子を式で表すと、次式のようになる。

$$\Delta Vlc = \{Cgs / (Cgs + Cadd + Cpix)\} \times \Delta Vg$$

ここで、 ΔVlc は ΔVg による中点電位の変化分を表わす。この変化分 ΔVlc は液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0089】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、したがって寄生容量Cgsが大きくなり、中点

電位Vlcはゲート（走査）信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

【0090】保持容量素子Caddの保持容量は、画素の書込特性から、液晶容量Cpixに対して4～8倍（ $4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$ ）、寄生容量Cgsに対して8～32倍（ $8 \cdot C_{gs} < C_{add} < 32 \cdot C_{gs}$ ）程度の値に設定する。

【0091】（保持容量素子Cadd電極線の結線方法）保持容量電極線としてのみ使用される初段の走査信号線GL（Y₀）は、図8に示すように、共通透明画素電極ITO2（V_{com}）に接続する。基板SUB2の共通透明画素電極ITO2は、前述したように、液晶表示装置の周縁部において銀ペースト材によって基板SUB1の外部引出配線に接続されているので、初段の走査信号線GL（Y₀）は基板SUB1側でその外部引出配線に接続すれば良い。或いは、初段の保持容量電極線Y₀は最終段の走査信号線Y_{end}に接続、V_{com}以外の直流電位点（交流接地点）に接続するかまたは垂直走査回路Vから1つ余分に走査パルスY₀を受けるように接続してもよい。

【0092】（製造方法）つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図10～図12を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図2に示す画素部分、右側は図6に示すゲート端子付近の断面形状でみた加工の流れを示す。工程Dを除き工程A～工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトリジストを除去した段階を示している。なお、写真処理とは本説明ではフォトリジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って、説明する。

【0093】工程A、図10

7059ガラス（商品名）からなる下部透明ガラス基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けたのち、500℃、60分間のベークを行なう。下部透明ガラス基板SUB1上に膜厚が1100Åのクロムからなる第1導電膜g1をスパッタリングにより設け、写真処理後、エッチング液として硝酸第2セリウムアンモニウム溶液で第1導電膜g1を選択的にエッチングする。それによって、ゲート端子GTM、ドレイン端子DTM、ゲート端子GTMを接続する陽極酸化バスライン（図示せず）、ドレイン端子DTMを短絡するバスライン（図示せず）、陽極酸化バスラインに接続された陽極酸化パッド（図示せず）を形成する。

【0094】工程B、図10

膜厚が2800ÅのAl-Pd、Al-Si、Al-S

i-Ti、Al-Si-Cu等からなる第2導電膜g2をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で第2導電膜g2を選択的にエッチングする。

【0095】工程C、図10

写真処理後（前述した陽極酸化マスクAO形成後）、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレングリコール液で1：9に希釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が0.5mA/cm²になるように調整する（定電流化成）。次に所定のAl₂O₃膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電圧化成）。これは均一なAl₂O₃膜を得る上で大事なことである。それによって、導電膜g2を陽極酸化され、走査信号線GL、ゲート電極GTおよび電極PL1上に膜厚が1800Åの陽極酸化膜AOFが形成される

工程D、図11

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2000Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)型非晶質Si膜を設ける。

【0096】工程E、図11

写真処理後、ドライエッチングガスとしてSF₆、CCl₄を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

【0097】工程F、図11

写真処理後、ドライエッチングガスとしてSF₆を使用して、窒化Si膜を選択的にエッチングする。

【0098】工程G、図12

膜厚が1400ÅのITO膜からなる第1導電膜d1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で第1導電膜d1を選択的にエッチングすることにより、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。

【0099】工程H、図12

膜厚が600ÅのCrからなる第2導電膜d2をスパッタリングにより設け、さらに膜厚が4000ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第3導電膜d3をスパッタリングにより設ける。写真処理後、第3導電膜d3を工程Bと同様な液でエッチングし、第2導電膜d2を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。つぎに、ドライエッチング装置にCCl₄、SF₆を導入して、N(+)型非晶質S

i膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

【0100】工程I、図12

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1 μ mの窒化Si膜を設ける。写真処理後、ドライエッチングガスとしてSF₆を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

【0101】(変形例) 前述の実施例では、A1ゲート配線上のホトレジパタンを、クランク形状で構成したが、この形状にとらわれるものではない。要はホトレジパタンに剥離が発生し進行する時に、これを止める形状なら矩形、三角形、円形、台形等の単独または組合せて構成してもよい。

【0102】(応用範囲) 以上、本発明者によってなされた発明を、実施例に基づき具体的に説明したが、この発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0103】例えば、走査信号線GL、そのバイパスGBP、映像信号線DL、薄膜トランジスタTFT等のパターン形状、位置あるいは数等は、図1に示したものに限定されないことは言うまでもない。また、図1の実施例では、走査信号線GLのバイパスGBPは各画素当り1本だけ設けたが、2本以上設けてもよい。また、上記実施例では、図4、図5、図1に示したように、画素およびカラーフィルタFILの配置をストライプ配置構造としたが、三角形(トライアングル)配置構造としてもよい。この構造にすることにより、各色の混色を良くすることができるので、カラー画像の解像度を向上できる。

【0104】さらに、例えば、前述の実施例では最も大きい量産効果が期待できる液晶表示装置で説明したが、本発明はそれに限らず、薄膜トランジスタを使用した密着式フォトセンサー、エレクトロルミネセント表示装置等の薄膜デバイスにも適用できる。

【0105】

【発明の効果】 以上説明したように、本発明の液晶表示装置では、①走査信号線と薄膜トランジスタのゲート電極とを兼用したので、開口率を向上できる。②走査信号線にバイパスを各画素毎に設け、走査信号線とバイパスとにより外部回路と接続された閉ループを各画素毎に形成したので、閉ループに短絡が生じた場合、レーザ等を用いて閉ループのどこを切断しても外部回路に接続され、線欠陥を修正できる。③映像信号線を閉ループと複数箇所まで交差させたので、走査信号線と映像信号線との該複数箇所の交差点や重ね合わされた部分のどの箇所において短絡が発生しても短絡部の両側の閉ループを切断することにより線欠陥を完全に修正できる。④画素電極を一方の電極とし、隣の画素のバイパスを他方の電極と

する保持容量素子を形成したので、保持容量素子部に短絡が発生した場合、該短絡部の両側のバイパスを切断することにより、短絡部は電氣的に切り離され、保持容量素子部の短絡による点欠陥を修正できる。⑤バイパスと保持容量素子とを兼用したので、開口率を向上できる。さらに、⑥すべての画素の薄膜トランジスタにおいて、映像信号線と一体となったドレイン電極に対してソース電極を同じ向きに配置したので、水平方向または垂直方向への薄膜トランジスタ形成用マスクの合わせずれが生じても、薄膜トランジスタのソースまたはドレイン電極の重なり具合の変化がすべての画素について同様になるので、薄膜トランジスタの特性のばらつきを防止できる。その結果、線欠陥のない明るく表示品質の良好な表示画面が得られ、かつ、液晶表示装置の歩留りを向上させ、製造コストを下げるができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例のアクティブ・マトリクス方式カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図2】 図1の3-3切断線における1画素とその周辺を示す断面図である。

【図3】 図1の4-4切断線における付加容量Caddの断面図である。

【図4】 図1に示す画素を複数配置した液晶表示部の要部平面図である。

【図5】 図1に示す画素配列のカラーフィルタ層のみを描いた要部平面図である。

【図6】 本発明が適用されたゲート端子GTMとゲート配線GLの接続部近辺を示す平面と断面の図である。

【図7】 ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面と断面の図である。

【図8】 アクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部を示す等価回路図である。

【図9】 図1に示す画素の等価回路図である。

【図10】 基板SUB1側の工程A~Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

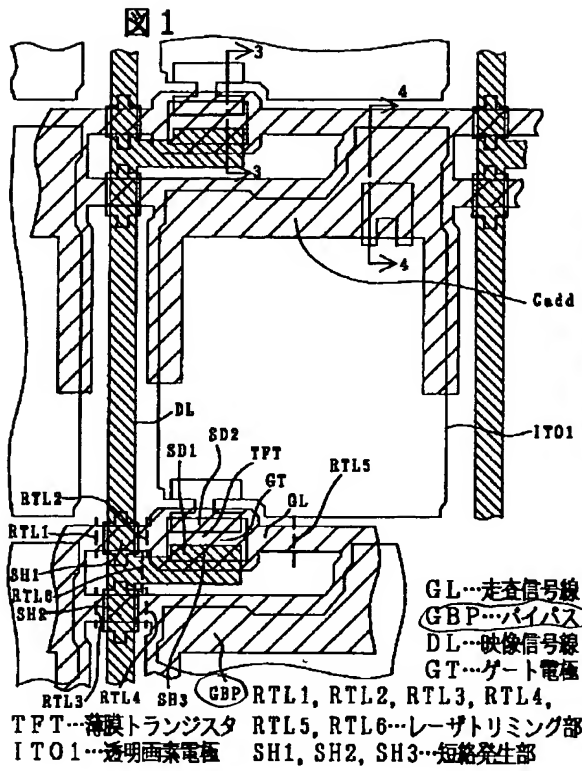
【図11】 基板SUB1側の工程D~Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図12】 基板SUB1側の工程G~Iの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

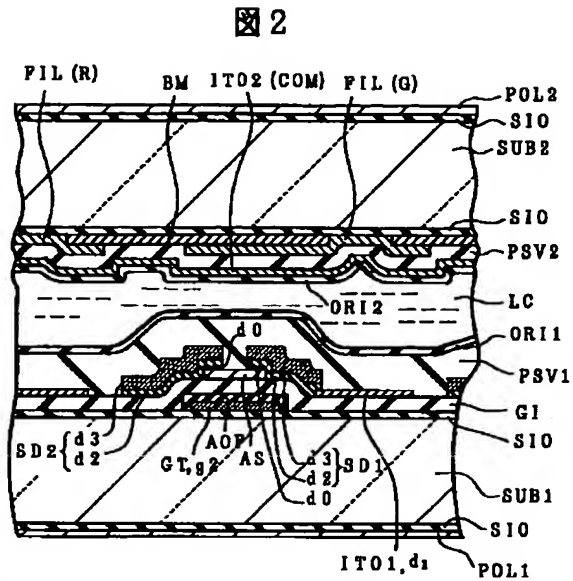
【符号の説明】

GL…走査信号線、GBP…バイパス、DL…映像信号線、TFT…薄膜トランジスタ、GT…ゲート電極、SD1…映像信号線と一体となったドレイン電極、SD2…ソース電極、ITO1…透明画素電極、Cadd…保持容量素子、SH1~3…短絡発生部、RTL1~5…レーザトリミング部。

【図1】

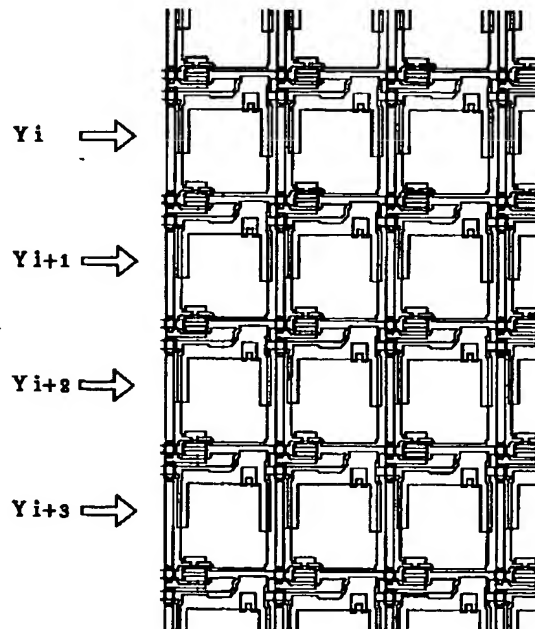


【図2】



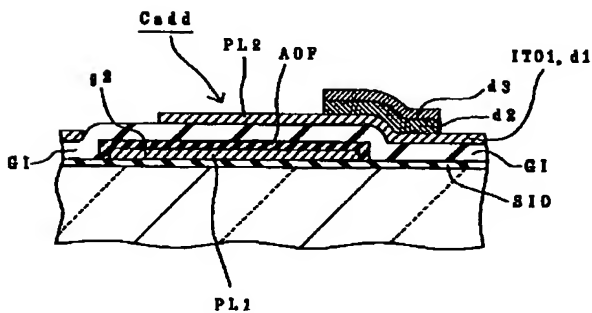
【図4】

図4

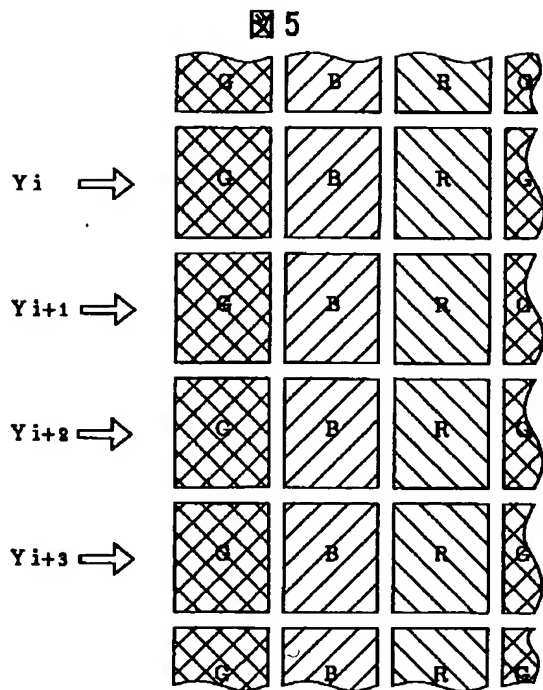


【図3】

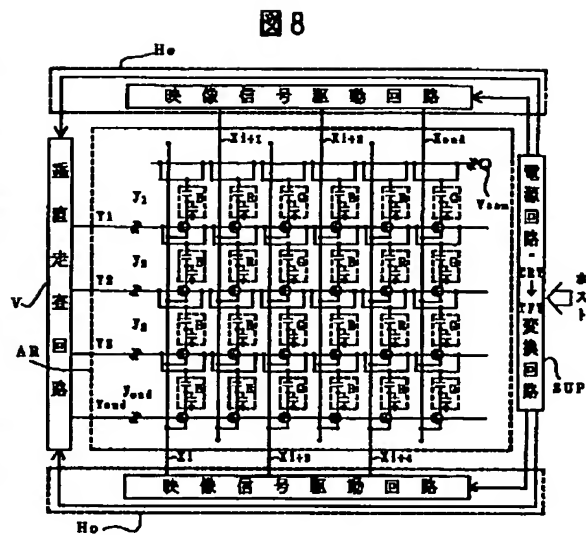
図3



【図5】



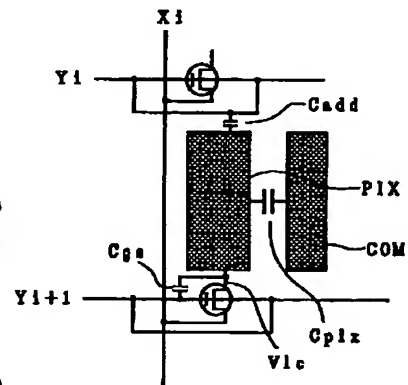
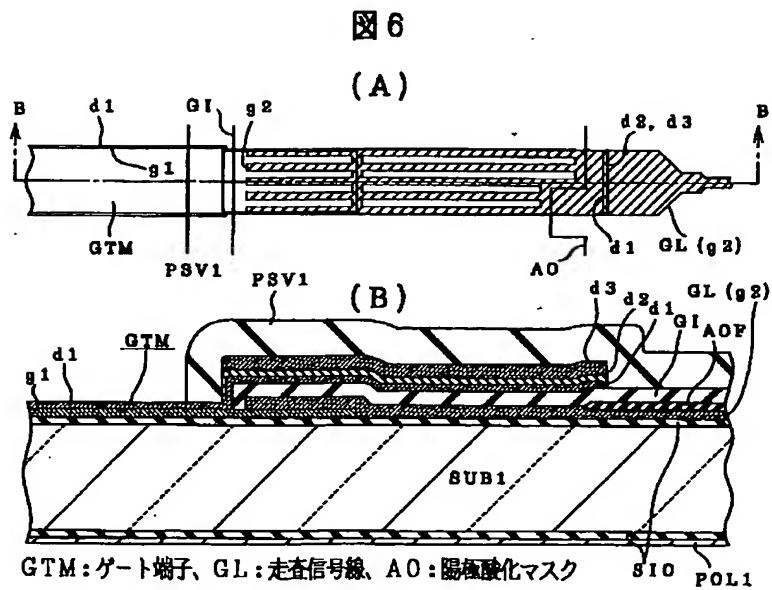
【図8】



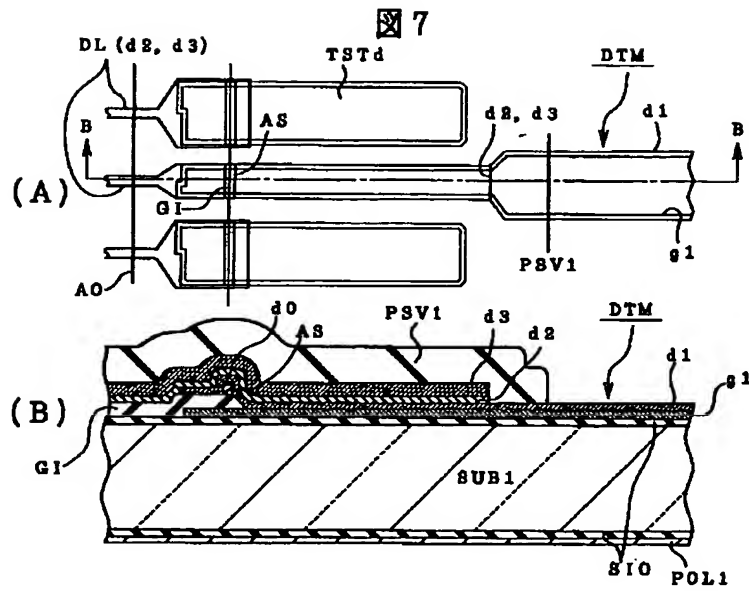
【図9】



【図6】

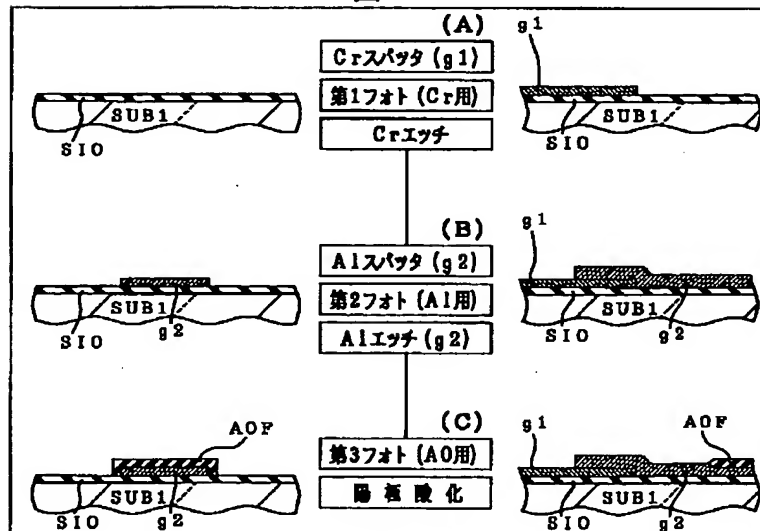


【図7】



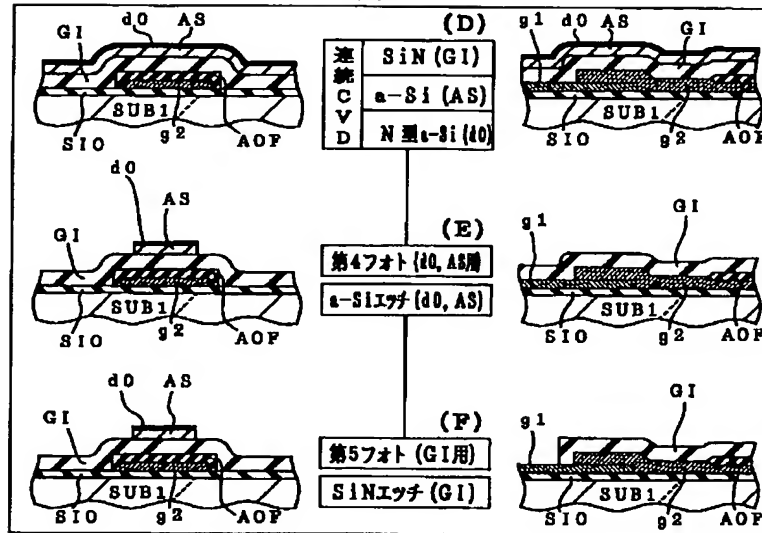
【図10】

図 10



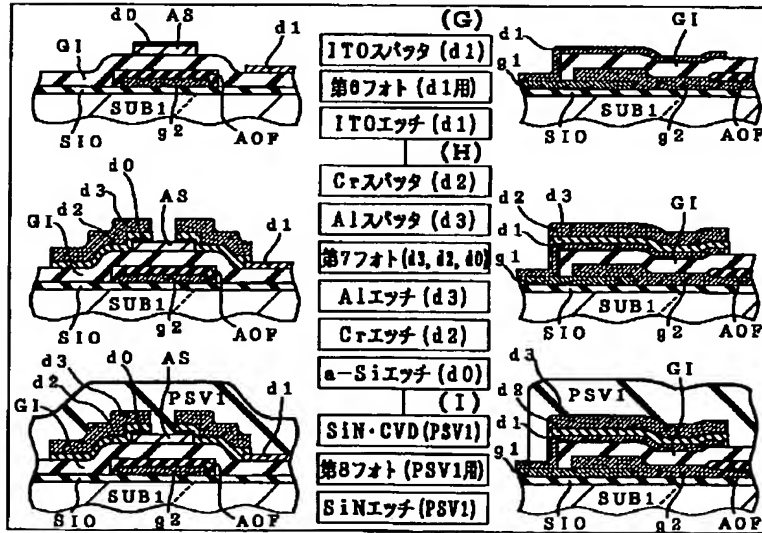
【図11】

図11



【図12】

図12



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the liquid crystal display of the active matrix which is equipped with the following and makes the above mentioned TFT and the above-mentioned pixel electrode a 1-pixel component Arrange each above-mentioned pixel side by side in the shape of a straight line to a horizontal direction and a perpendicular direction, and a bypass is formed in the above-mentioned scanning signal line which makes the gate electrode of the above-mentioned TFT serve a double purpose for every above-mentioned pixel. The closed loop connected with the external circuit by the above-mentioned scanning signal line and the above-mentioned bypass is formed for every above-mentioned pixel. The above-mentioned video-signal line is a liquid crystal display characterized by having formed the retention volume element which intersects the above-mentioned closed loop by two or more places, and uses the above-mentioned pixel electrode as one electrode, and uses the above-mentioned bypass of the next above-mentioned pixel as the electrode on another side, and making the above-mentioned bypass and the above-mentioned retention volume element serve a double purpose. The scanning signal line which extended horizontally and has been arranged two or more perpendicularly. The video-signal line arranged two or more horizontally [extend perpendicularly and]. The TFT and the pixel electrode which have been arranged, respectively in an intersection field with the two above-mentioned video-signal lines which adjoin the two adjoining above-mentioned scanning signal lines.

[Claim 2] The liquid crystal display according to claim 1 characterized by having arranged the source electrode to the same direction in the above-mentioned TFT of all the above-mentioned pixels to the drain electrode which was united with the above-mentioned video-signal line.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the liquid crystal display of the active matrix which makes TFT and pixel electrode a 1-pixel component, and relates to the technology which can correct the defect of the display screen by the short circuit or open circuit by forming a bypass in a signal line especially.

[0002]

[Description of the Prior Art] The liquid crystal display of an active matrix prepares a nonlinear element (switching element) corresponding to each of two or more pixel electrodes arranged in the shape of a matrix. Since liquid crystal in each pixel is always driven theoretically (duty ratio 1.0), compared with the so-called passive matrix which has adopted the time-sharing drive method, an active method has good contrast and is becoming especially indispensable technology with electrochromatic display. There is TFT (TFT) as a thing typical as a switching element.

[0003] In addition, the liquid crystal display of the active matrix which used TFT is known for "the 12.5 type active-matrix method electrochromatic display which adopted the redundant configuration", the Nikkei electronics, page 193 - December 15, 1986 [210 or], the Nikkei tuna UHIRU issue, and *****61-151516*****.

[0004] The lower transparent substrate which prepared the lower orientation film for the liquid crystal display section (liquid crystal display panel) setting up the sense of TFT, a transparent pixel electrode, the protective coat of TFT, and a liquid crystal molecule on a lower transparent glass substrate on the basis of a liquid crystal layer one by one, On an up transparent glass substrate, the protective coat of a black matrix, a light filter, and a light filter, A common transparent pixel electrode and the up transparent substrate which prepared the up orientation film one by one are piled up so that a mutual orientation film may face each other. While pasting up both substrates by the sealant arranged around [edge] a substrate, liquid crystal is closed among both substrates, and the outside of both substrates installs, sticks and constitutes the polarizing plate further. In addition, a back light is arranged at one substrate side.

[0005] Moreover, the liquid crystal display section extends perpendicularly with the scanning signal line which extended horizontally and has been arranged two or more perpendicularly, and has the TFT and the pixel electrode which have been arranged, respectively in the intersection field of the video-signal line arranged two or more horizontally and the two above-mentioned video-signal lines which adjoin the two adjoining above-mentioned scanning signal lines, and makes the above-mentioned TFT and the above-mentioned pixel electrode the 1-pixel component.

[0006]

[Problem(s) to be Solved by the Invention] The intersection of the scanning signal line and video-signal line which cross perpendicularly, or the portion which the scanning signal line and the video-signal line piled up (namely, it sets in the TFT section) In the portion which the scanning signal line, the gate electrode which is one, and a video-signal line and the drain electrode which is one piled up, although a scanning signal line, a video-signal line or a gate electrode, the source, or the drain electrode is insulated through the insulating layer There is a problem which the pinhole of an insulator layer, a foreign matter, a level difference, etc. become a cause, a short circuit with a scanning signal line, a video-signal line or a gate electrode, the source, or a drain electrode or an open circuit of a video-signal line or a scanning signal line generates, and the line defect of an in-every-direction cross generates in the display screen. the short circuit in the latter portion, i.e., the gate electrode of the TFT section, the source, or a drain electrode is simplistic -- although the direction can correct a line defect to a point defect by cutting the both sides of the short circuit section using laser, the line defect by the short circuit or open circuit in the intersection of a scanning signal line and a video-signal line is uncorrectable

[0007] In addition, if a bypass (bypass) is formed in the signal line of original of a scanning signal line or a video-signal line so that it can correct, when a short circuit and an open circuit occur, and a short circuit occurs, the proper

part of an original signal line or either of the bypasses will be cut, the short circuit section will be separated electrically, and the structure of correcting a line defect is proposed. Since a signal flows on a signal line or the line in the direction which has not been disconnected when an open circuit occurs in either of the bypasses, correction is unnecessary. These are indicated by JP,61-249078,A, JP,63-221325,A, JP,4-19530,Y, JP,4-35050,B, JP,1-134341,A, JP,1-134342,A, JP,1-134343,A, JP,1-134344,A, JP,1-134345,A, JP,1-284831,A, and JP,2-2521,A. However, with all these equipments, it does not have the retention volume element. A retention volume element can reduce the dc component which joins liquid crystal at the time of the switching of TFT constituting the fall of the life of liquid crystal, and the cause of the so-called seizure that a front picture remains at the time of the change of a liquid crystal display screen. Moreover, a retention volume element also has the operation which lengthens a charging time value, and accumulates the image information after TFT turns off for a long time.

[0008] Moreover, a bypass and the equipment which prepared the retention volume element are indicated by JP,64-52617,A. However, with this equipment, the retention volume element is not prepared in the portion of a bypass. Therefore, since it is the structure where cannot correct this short circuit section and a bypass and a retention volume element are not made to serve a double purpose when a short circuit occurs in the retention volume element section, a numerical aperture is a low.

[0009] The purpose of this invention is to offer the liquid crystal display which can correct a line defect completely, even if a short circuit and an open circuit occur in which part of the portion together put in the intersection and pile of scanning signal line and a video-signal line.

[0010] Moreover, other purposes of this invention are to offer the liquid crystal display which can correct the short circuit generated in the retention volume element section while being equipped with the retention volume element which can reduce the dc component constituting the fall of the life of liquid crystal, and the cause of the seizure of a screen, and can lengthen a charging time value.

[0011] Furthermore, other purposes of this invention are by making a bypass and a retention volume element serve a double purpose to offer the liquid crystal display which can improve a numerical aperture.

[0012]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, this invention forms ** bypass in the above-mentioned scanning signal line which makes the gate electrode of the ** above-mentioned TFT serve a double purpose for every pixel. The closed loop connected with the external circuit by the above-mentioned scanning signal line and the above-mentioned bypass is formed for every pixel. ** The above-mentioned video-signal line offers the liquid crystal display which formed the retention volume element which intersects the above-mentioned closed loop by two or more places, and uses the ** above-mentioned pixel electrode as one electrode, and uses the above-mentioned bypass of the next above-mentioned pixel as the electrode of another side, and made the ** above-mentioned bypass and the above-mentioned retention volume element serve a double purpose.

[0013] moreover, this invention -- ** -- in the above-mentioned TFT of all the above-mentioned pixels, the liquid crystal display which has arranged the source electrode to the same direction to the drain electrode which was united with the above-mentioned video-signal line is offered

[0014]

[Function] In this invention, since ** scanning signal line and the gate electrode of TFT were made to serve a double purpose, a numerical aperture can be improved.

[0015] ** Since the closed loop which formed the bypass in the scanning signal line for every pixel, and was connected with the external circuit by the scanning signal line and the bypass was formed for every pixel, when a short circuit arises in a closed loop, wherever it may cut [of a closed loop] using laser etc., it connects with an external circuit, and a line defect can be corrected. In addition, even if an open circuit occurs in the scanning signal line which constitutes a closed loop, a scanning signal passes along a bypass and a line defect is not generated. moreover -- even in open circuit occurs in the bypass which constitutes a closed loop -- a scanning signal -- a scanning signal line -- main -- a course -- a passage -- a line defect -- not generating .

[0016] ** since the video-signal line was made to intersect a closed loop by two or more places -- a scanning signal line and a video-signal line -- this -- the portion (namely, it sets in the TFT section) together put in two or more intersections or the pile Even if a short circuit occurs in the part of the partial throat which the scanning signal line, the gate electrode which is one, and a video-signal line and the drain electrode which is one piled up, a line defect is completely correctable by cutting the closed loop of the both sides of the short circuit section.

[0017] ** since the retention volume element which uses a pixel electrode as one electrode and uses the bypass of the next pixel as the electrode of another side was formed, when a short circuit occurs in the retention volume element section, the short circuit section is electrically separated by cutting the bypass of the both sides of this short circuit

section -- having -- the retention volume element section -- simplistic -- the point defect to depend is correctable
[0018] ** Since the bypass and the retention volume element were made to serve a double purpose, a numerical aperture can be improved.

[0019] ** In the above-mentioned TFT of all the above-mentioned pixels, since change of the source of TFT or the condition of a drain electrode becomes the same about all pixels even if a doubling gap of the mask for TFT formation in a horizontal direction or a perpendicular direction arises, since the source electrode has been arranged to the same direction to the drain electrode which was united with the above-mentioned video-signal line, dispersion in the property of TFT can be prevented.

[0020]

[Example]

[Active-matrix liquid crystal display] The example which applied this invention to the electrochromatic display display of an active matrix is explained hereafter. In addition, with the drawing explained below, what has the same function attaches the same sign, and explanation of the repeat is omitted.

[0021] The plan in which drawing 1 shows 1 pixel and its circumference of the active-matrix method electrochromatic display display of the 1st example of this invention, and drawing 2 are drawing showing the cross section in three to cutting plane line of drawing 1, and a cross section [in / four to 4 cutting plane line of drawing 1 / in drawing 3].

Moreover, a plan when two or more pixels shown in drawing 1 have been arranged is shown in drawing 4.

[0022] In drawing 1 TFT and ITO1 TFT A transparent pixel electrode, (Pixel arrangement) GL is the portion (the short circuit generating section is called) into which a video-signal line generates the bypass (bypass) of the scanning signal line GL, and DL, a short circuit (or open circuit) generates SH1, SH2, and SH3, and a line defect tends to generate a scanning signal line and GBP. The 1st intersection which, as for SH1, the scanning signal line GL and the video-signal line DL intersect, In the 2nd intersection which, as for SH2, Bypass GBP and the video-signal line DL of the scanning signal line GL intersect and the portion on top of which the scanning signal line GL and the video-signal line DL laid SH3, i.e., TFT TFT It is the portion which the drain electrode SD 1 which are the scanning signal line GL, the gate electrode GT and the video-signal line DL which are one, and one piled up. RTL1, RTL2, and RTL3 are the laser-trimming sections cut using laser. In addition, in drawing 1, the slash upward slanting to the right was given to the scanning signal line GL, and the lower right gave the slash of ** to the video-signal line DL so that it might be easy to understand.

[0023] As shown in drawing 1, each pixel is arranged in the intersection field of two adjoining scanning signal lines (gate signal line or level signal line) GL and two adjoining video-signal lines (a drain signal line or perpendicular signal line) DL (inside of the field surrounded by four signal lines). Each pixel contains TFT TFT, the transparent pixel electrode ITO1, and the retention volume element Cadd (it explains in detail later). The scanning signal line GL extends in the direction of a train, and is arranged two or more at the line writing direction. The video-signal line DL extends in a line writing direction, and is arranged two or more in the direction of a train.

[0024] In this example, as shown in drawing 1, for every pixel, Bypass GBP is formed in the scanning signal line GL and this bypass GBP branches from the scanning signal line GL by the upstream of the 1st intersection SH1 of the scanning signal line GL and the video-signal line DL, and joins the scanning signal line GL by the 2nd intersection SH2 of Bypass GBP and the video-signal line DL, and the downstream of TFT TFT.

[0025] That is, in this example, since the gate electrode GT of ** scanning signal line GL and TFT TFT was made to serve a double purpose as shown in drawing 1, a numerical aperture can be improved.

[0026] ** Since the closed loop which formed Bypass GBP in the scanning signal line GL for every pixel, and was connected with the external circuit by the scanning signal line GL and Bypass GBP was formed for every pixel, when a short circuit arises in a closed loop, wherever it may cut [of a closed loop] using laser etc., it connects with an external circuit, and a line defect can be corrected. In addition, even if an open circuit occurs in the scanning signal line GL which constitutes a closed loop, a scanning signal passes along Bypass GBP and a line defect is not generated. Moreover -- even if an open circuit occurs in the bypass GBP which constitutes a closed loop -- a scanning signal -- the scanning signal line GL -- main -- a course -- a passage -- a line defect -- not generating.

[0027] ** since the video-signal line DL was made to intersect a closed loop by two places -- the scanning signal line GL and the video-signal line DL -- this -- the portion (namely, it sets in the TFT TFT section) together put in two intersections or the pile Even if a short circuit occurs in the part of the partial throat which the drain electrode SD 1 which are the scanning signal line GL, the gate electrode GT and the video-signal line DL which are one, and one piled up, a line defect is completely correctable by cutting the closed loop of the both sides of the short circuit section.

[0028] namely, when the short circuit of the scanning signal line GL and the video-signal line DL occurs in the 1st intersection SH1 in the 1st By cutting, as the laser-trimming sections RTL1 and RTL2 show the scanning signal line

GL of the both sides (the 1st upstream and downstream of an intersection SH1) of the 1st intersection SH1 using laser. The short circuit section is separated electrically, and a scanning signal can pass along Bypass GBP and can correct a line defect. Moreover, even if an open circuit occurs in the 1st intersection SH1, a scanning signal passes along Bypass GBP and a line defect is not generated.

[0029] When the short circuit of the scanning signal line GL and the video-signal line DL occurs in the 2nd intersection SH2 in the 2nd By cutting, as the laser-trimming sections RTL3 and RTL4 show the bypass GBP of the both sides (the 2nd upstream and downstream of an intersection SH2) of the 2nd intersection SH2 using laser the short circuit section is separated electrically -- having -- and a scanning signal -- the scanning signal line GL -- main -- a course -- a passage -- a line defect -- being correctable . moreover -- even if an open circuit occurs in the 2nd intersection SH2 -- a scanning signal -- the scanning signal line GL -- main -- a course -- a passage -- a line defect -- not generating .

[0030] In TFT TFT, when a short circuit with the drain electrode SD 1 which are the scanning signal line GL, the gate electrode GT and the video-signal line DL which are one, and one occurs in the 3rd By cutting, as the laser-trimming sections RTL1 and RTL5 show the 1st intersection SH1 and the scanning signal line GL of the both sides (the upstream of the 1st intersection SH1, and downstream of TFT TFT) of TFT TFT, using laser The short circuit section (TFT TFT) is separated electrically, and a scanning signal passes along Bypass GBP, and can be managed with the point defect of the pixel which has this short-circuited TFT TFT, and can correct a line defect to a point defect.

[0031] In addition, when a short circuit occurs in the portion which the source electrode SD 2 which are not the scanning signal line GL, the gate electrode GT and the video-signal line DL which are one, and one piled up, it ends with the point defect of the pixel which has this short-circuited TFT TFT.

[0032] Thus, even when the scanning signal line GL and the video-signal line DL cross, or a short circuit or an open circuit occurs in the portions SH1, SH2, and SH3 with which the gate electrode GT and the drain electrode SD 1 lap and a line defect occurs, a line defect can be corrected, the display screen without a line defect can be obtained, the yield of a liquid crystal display can be raised, and a manufacturing cost can be lowered. In addition, the probability that a short circuit and an open circuit will occur in both the scanning signal line GL, the video-signal line DL or the 1st two intersection SH1 with Bypass GBP, and the 2nd intersection SH2 is a low.

[0033] In furthermore, the portion SH3 with which the short circuit of the scanning signal line GL and the video-signal line DL occurs in the 2nd intersection SH2, and the drain electrode SD 1 which are the gate electrode GT, the video-signal line DL, and one laps in TFT TFT When the short circuit of the gate electrode GT and the drain electrode SD 1 occurs The bypass GBP of the both sides of the 2nd intersection SH2, and the video-signal line DL on the left-hand side of [with which the gate electrode GT and the drain electrode SD 1 lap] a portion SH3 the two short circuit sections are electrically separated by cutting, as the laser-trimming sections RTL3, RTL4, and RTL6 show using laser . having -- and a scanning signal -- the scanning signal line GL -- main -- a course -- a passage -- a line defect -- a point defect -- being correctable .

[0034] ** since the retention volume element Cadd which uses the pixel electrode ITO1 as one electrode, and uses the bypass GBP of the next pixel as the electrode of another side was formed, when a short circuit occurs in the retention volume element Cadd section, the short circuit section is electrically separated by cutting the bypass GBP of the both sides of this short circuit section -- having -- the retention volume element Cadd section -- simplistic -- the point defect to depend is correctable Moreover, since the retention volume element Cadd was formed, the dc component which joins liquid crystal at the time of switching of TFT TFT constituting the fall of the life of liquid crystal and the cause of the so-called seizure that a front picture remains at the time of the change of a liquid crystal display screen can be reduced. Moreover, the retention volume element Cadd also has the operation which lengthens a charging time value, and accumulates the image information after TFT TFT turns off for a long time.

[0035] ** Since Bypass GBP and the retention volume element Cadd were made to serve a double purpose, a numerical aperture can be improved.

[0036] ** Since the sense of TFT TFT of all pixels was made the same If put in another way, since the source electrode SD 2 will have been arranged to the same direction in TFT TFT of all pixels to the drain electrode SD 1 which was united with the video-signal line DL Even if a doubling gap of the mask for formation of TFT TFT to a horizontal direction or a perpendicular direction arises Since change of the source of TFT TFT or the lap condition of the drain electrodes SD1 and SD2 becomes the same about all pixels, dispersion in the property of TFT TFT can be prevented. If TFT is arranged so that it may become alternate for every scanning signal line about the sense of the source electrode to the drain electrode which was united with the video-signal line of TFT () Namely, the video-signal line which serves as the drain electrode of the TFT of the pixel of a certain scanning signal line is in left-hand side to the pixel. If the mask for TFT formation shifts horizontally when the video-signal line which serves as the drain

electrode of the TFT of the pixel of the scanning signal line of the next step is in right-hand side Although change of the source of TFT or the lap condition of a drain electrode becomes reverse for every scanning signal line and dispersion in the property of TFT arises, since the sense of all TFT TFT was made the same, this can be prevented by this example.

[0037] In addition, drawing 4 is the part plan of the liquid crystal display section which has arranged two or more pixels shown in drawing 1. Each pixel of the liquid crystal display section has stripe (it has not shifted) arrangement structure also horizontally located in a line also perpendicularly in the shape of a straight line, as shown in drawing 4 [0038] (The whole display cross-section structure) As shown in drawing 2, TFT TFT and the transparent pixel electrode ITO1 are formed in the lower transparent glass-substrate SUB1 side on the basis of liquid crystal LC, and the light filter FIL and the black matrix pattern BM for shading are formed in the up transparent glass-substrate SUB2 side. Lower transparent glass-substrate SUB1 consists of thickness of about 1.1mm. Moreover, the silicon-oxide film SIO formed of DIP processing etc. is formed in both sides of the transparent glass substrates SUB1 and SUB2. For the reason, though a sharp blemish is shown in the front face of the transparent glass substrates SUB1 and SUB2, since a sharp blemish can be covered by the silicon-oxide film SIO, membranous qualities, such as the scanning signal line GL by which a deposit is carried out on it, and the shading film BM, can be kept homogeneous.

[0039] Although not illustrated, a sealant is formed so that liquid crystal LC may be closed in accordance with the whole edge circumference of the transparent glass substrates SUB1 and SUB2 except a liquid crystal enclosure mouth. A sealant consists of an epoxy resin. The common transparent pixel electrode ITO2 by the side of up transparent glass-substrate SUB2 is connected to the external drawer wiring formed in the lower transparent glass-substrate SUB1 side of silver paste material in the piece place at least. This external drawer wiring is formed by the same manufacturing process as gate-terminal GTM and the drain terminal DTM which are mentioned later.

[0040] The orientation films ORI1 and ORI2, the transparent pixel electrode ITO1, the common transparent pixel electrode ITO2, and each layer are formed inside a sealant. Polarizing plates POL1 and POL2 are formed in the front face of the outside of lower transparent glass-substrate SUB1 and up transparent glass-substrate SUB2, respectively. Liquid crystal LC is enclosed between the lower orientation films ORI1 and the up orientation films ORI2 which set the sense of a liquid crystal molecule, and the seal is carried out by the sealant. The lower orientation film ORI1 is formed in the upper part of the protective coat PSV1 by the side of lower transparent glass-substrate SUB1.

[0041] The shading film BM, a light filter FIL, a protective coat PSV2, the common transparent pixel electrode ITO2 (COM), and the up orientation film ORI2 carry out a laminating to the front face inside up transparent glass-substrate SUB2 (liquid crystal LC side) one by one, and are prepared in it.

[0042] This liquid crystal display accumulates various layers separately by the lower transparent glass-substrate SUB1 and up transparent glass-substrate SUB2 side, piles up lower transparent glass-substrate SUB1 and up transparent glass-substrate SUB2 after that, and is assembled by enclosing liquid crystal LC between lower transparent glass-substrate SUB1 and up transparent glass-substrate SUB2.

[0043] (TFT TFT) If TFT TFT impresses positive bias to the gate electrode GT, the channel resistance between source drains will become small, and if bias is made into zero, channel resistance will operate so that it may become large.

[0044] TFT TFT of each pixel has the i-type-semiconductor layer AS which consists of the gate electrode GT, a gate insulator layer GI, and i type (genuineness, intrinsic, and conductivity-type determination impurity are not doped) amorphous silicon (Si), the source electrode of a couple, and the drain electrodes SD1 and SD2. In addition, since the source and a drain are originally decided by bias polarity in the meantime and working reversal of the polarity is carried out in the circuit of this liquid crystal display, please understand that the source and a drain interchange working. However, in the following explanation, for convenience, the method of one is fixed with the source, another side is fixed with a drain, and it expresses.

[0045] The sense of TFT TFT of all pixels is the same as shown in drawing 4. That is, in TFT TFT of all pixels, the source electrode SD 2 is arranged at the same direction to the drain electrode SD 1 which was united with the video-signal line DL. Therefore, since change of the source of TFT TFT or the lap condition of the drain electrodes SD1 and SD2 becomes the same about all pixels even if a doubling gap of the mask for formation of TFT TFT to a horizontal direction or a perpendicular direction arises, dispersion in the property of TFT TFT can be prevented.

[0046] In addition, although one TFT TFT was prepared about each pixel in this example, respectively as shown in drawing 1, in each pixel, you may arrange two TFT (referred to as TFT1 and TFT2) of the same size (channel length and channel width are the same) side by side substantially, respectively (you may arrange three or more pieces). In this case, the transparent pixel electrode ITO1 is connected to both the source electrode SD 1 of TFT TFT1, and the source electrode SD 1 of TFT TFT2. What is necessary is just to leave it, since a suitable part is cut, and the TFT of another side is operating normally by the laser beam etc. by this when that is not right, when the defect brings about side

effects, such as generating of the line defect on the display screen, even if a defect arises in one in TFT TFT1 and TFT2. In addition, it is rare that a defect occurs simultaneously in two TFT TFT1 and TFT2, and probability of a pair defect or a line defect can be made very small by such redundancy system.

[0047] ((GT) Gate electrode) The gate electrode GT is projected as it is over the active region of TFT TFT. The gate electrode GT of TFT TFT is constituted by one (as a common-gate electrode), and is formed in it succeeding the scanning signal line GL. In this example, the gate electrode GT is formed by the 2nd electric conduction film g2 of a nonlayer. The 2nd electric conduction film g2 is formed by about 1000-5500Å thickness for example, using the aluminum (aluminum) film formed by the sputter. Moreover, on the gate electrode GT, the oxide film on anode AOF of aluminum is formed.

[0048] This gate electrode GT is formed in oversized from it so that the i-type-semiconductor layer AS may be covered completely as shown in drawing 2 (in view of a lower part). Therefore, when the back lights BL, such as a fluorescent lamp, are attached under lower transparent glass-substrate SUB1, the gate electrode GT which consists of this opaque aluminum serves as a shadow, back light light is not equivalent to the i-type-semiconductor layer AS, but OFF property degradation of the electric conduction phenomenon by optical irradiation, i.e., TFT TFT, stops being able to occur in it easily. In addition, the size of original of the gate electrode GT has width of face indispensable (also including a part for an alignment margin with the gate electrode GT, the source electrode SD 1, and the drain electrode SD 2) to straddle between the source electrode SD 1 and the drain electrodes SD 2. The depth length which determines channel width W is decided by into how many factor W/L which determines the ratio gm with the distance L between the source electrode SD 1 and the drain electrode SD 2 (channel length), i.e., a mutual conductance, is made. It is made larger than the original size mentioned above as well as the size of the gate electrode GT in this liquid crystal display.

[0049] (The scanning signal line GL and bypass GBP) The scanning signal line GL and its bypass GBP consist of 2nd electric conduction films g2. This scanning signal line GL and the 2nd electric conduction film g2 of Bypass GBP are formed by the same manufacturing process as the 2nd electric conduction film g2 of the gate electrode GT, and are constituted by one. Moreover, the oxide film on anode AOF of aluminum is formed also on the scanning signal line GL and Bypass GBP.

[0050] ((GI) Insulator layer) An insulator layer GI is used as a gate insulator layer of TFT TFT. The insulator layer GI is formed in the upper layer of the gate electrode GT and the scanning signal line GL. An insulator layer GI is formed using the silicon nitride film formed by plasma CVD by 1200-2700Å thickness (this liquid crystal display about 2000Å thickness).

[0051] ((AS) I-type-semiconductor layer) The i-type-semiconductor layer AS is used as a channel formation field of TFT TFT. The i-type-semiconductor layer AS is formed by the amorphous silicon film or the polycrystal silicon film, and is formed by 200-2200Å thickness (this liquid crystal display about 2000Å thickness).

[0052] Succeeding formation of the insulator layer GI used as a gate insulator layer which changes the component of distributed gas and consists of Si₃N₄, this i-type-semiconductor layer AS is the same plasma CVD equipment, and it is formed, without moreover exposing to the plasma CVD equipment shell exterior. Moreover, N(+) type semiconductor layer d0 (drawing 2) which doped Phosphorus (P) for ohmic contacts 2.5% is similarly formed continuously by 200-500Å thickness (this liquid crystal display about 300Å thickness). after an appropriate time, lower transparent glass-substrate SUB1 is taken out from a CVD system outside, and patterning is carried out to the shape of an island which became independent as photographic-processing technology showed N(+) type semiconductor layer d0 and the i-type-semiconductor layer AS to drawing 2

[0053] The i-type-semiconductor layer AS is formed also among both of the intersection (crossover section) of the scanning signal line GL and the video-signal line DL. The i-type-semiconductor layer AS of this intersection reduces the short circuit of the scanning signal line GL and the video-signal line DL in an intersection.

[0054] (Transparent pixel electrode ITO1) The transparent pixel electrode ITO1 constitutes one side of the pixel electrode of the liquid crystal display section.

[0055] The transparent pixel electrode ITO1 is constituted by the 1st electric conduction film d1, and this 1st electric conduction film d1 consists of a transparent electric conduction film (Indium-Tin-Oxide ITO : Nesa membrane) formed by sputtering, and is formed by 1000-2000Å thickness (this liquid crystal display about 1400Å thickness).

[0056] ((SD) The source electrode SD 1, the drain electrode SD 2) As it is indicated in drawing 2 as the source electrode SD 1 of TFT TFT, and the drain electrode SD 2, on the i-type-semiconductor layer AS, it is isolated, respectively and is prepared.

[0057] Each of the source electrode SD 1 and the drain electrode SD 2 makes it pile up the 2nd electric conduction film d2 and each other's 3rd electric conduction film d3 one by one, and consists of lower layer sides in contact with N(+) type semiconductor layer d0. The source electrode SD 1 reaches 2nd electric conduction film d2, the drain

electrode SD 2 reaches 2nd electric conduction film d2, and the 3rd electric conduction film d3 is formed by the same manufacturing process as the 3rd electric conduction film d3.

[0058] The 2nd electric conduction film d2 is formed using the chromium (Cr) film formed by the sputter by 500-1000Å thickness (this liquid crystal display about 600Å thickness). Since stress will become large if thickness is formed thickly, Cr film is formed in the range which does not exceed about 2000Å thickness. Cr film has good contact with N(+) type semiconductor layer d0. Cr film constitutes the so-called barrier layer which prevents that aluminum of the 3rd electric conduction film d3 mentioned later is spread in N(+) type semiconductor layer d0. As the 2nd electric conduction film d2, you may use the refractory-metal (Mo, Ti, Ta, W) film and refractory-metal silicide (MoSi₂, TiSi₂, TaSi₂, WSi₂) film other than Cr film.

[0059] The 3rd electric conduction film d3 is formed in 3000-5000Å thickness (this liquid crystal display about 4000Å thickness) by sputtering of aluminum. Aluminum film has a small stress compared with Cr film, and forming in thick thickness is possible, and it is constituted so that the resistance of the source electrode SD 1, the drain electrode SD 2 and the video-signal line DL may be reduced. You may use aluminum film which made silicon and copper (Cu) other than a pure aluminum film contain as an additive as the 3rd electric conduction film d3.

[0060] the same mask after carrying out patterning of the 2nd electric conduction film d2 and the 3rd electric conduction film d3 by the same mask pattern -- using -- the [or] -- N(+) type semiconductor layer d0 is removed by using 2 electric conduction films d2 and the 3rd electric conduction film d3 as a mask. That is, as for N(+) type semiconductor layer d0 which remained on the i-type-semiconductor layer AS, portions other than 2nd electric conduction film d2 and 3rd electric conduction film d3 are removed by the self etching. As for N(+) type semiconductor layer d0, since it etches so that parts for all the thickness may be removed at this time, although the surface portion etches a little, the extent should just control the i-type-semiconductor layer AS in etching time.

[0061] The source electrode SD 1 is connected to the transparent pixel electrode ITO1. The source electrode SD 1 is constituted along with the i-type-semiconductor layer AS level difference (level difference equivalent to the thickness of the 2nd electric conduction film d2, the thickness of an oxide film on anode AOF, the thickness of the i-type-semiconductor layer AS, and the thickness of N(+) type semiconductor layer d0). Specifically, the source electrode SD 1 consists of a 2nd electric conduction film d2 formed along with the level difference of the i-type-semiconductor layer AS, and a 3rd electric conduction film d3 formed in the upper part of this 2nd electric conduction film d2. Since Cr film of the 2nd electric conduction film d2 cannot form thickly the 3rd electric conduction film d3 of the source electrode SD 1 from increase of stress and the level difference configuration of the i-type-semiconductor layer AS cannot be overcome, it is constituted in order to overcome this i-type-semiconductor layer AS. That is, the 3rd electric conduction film d3 is improving step coverage by forming thickly. Since the 3rd electric conduction film d3 can be formed thickly, it has contributed to reduction of the resistance (the same is said of the drain electrode SD 2 and the video-signal line DL) of the source electrode SD 1 greatly.

[0062] (Protective coat PSV1) The protective coat PSV1 is formed on TFT TFT and the transparent pixel electrode ITO1. It is formed in order that a protective coat PSV1 may mainly protect TFT TFT from moisture etc., and moreover, transparency uses a damp-proof good thing. The protective coat PSV1 is formed by the silicon-oxide film and silicon nitride film which were formed for example, with plasma CVD equipment, and is formed by about 1-micrometer thickness.

[0063] ((BM) Shading film) The shading film BM is formed and let the shading film BM be the pattern which removes the transparent pixel electrode ITO1 mostly at the up transparent glass-substrate SUB2 side so that incidence may not be carried out to the i-type-semiconductor layer AS for which an extraneous light (drawing 2 light from the upper part) is used as a channel formation field.

[0064] The i-type-semiconductor layer AS of TFT TFT is made sandwiched by the shading film BM which exists up and down, and the oversized gate electrode GT, and the external natural light and external back light light stop hereafter, as for the portion, hitting. The shading film BM is formed in the circumference of a pixel, and is got blocked, the shading film BM is formed in the shape of a grid (black matrix), and the 1-pixel effective viewing area is divided with this grid. Therefore, the profile of each pixel carries out clearly with the shading film BM, and contrast improves. That is, the shading film BM has two functions of shading to the i-type-semiconductor layer AS, and a black matrix.

[0065] Moreover, since the portion (not shown) which counters the edge section by the side of the origin of the direction of rubbing of the transparent pixel electrode ITO1 is shaded with the shading film BM and a domain cannot be seen though a domain occurs into the above-mentioned portion, a display property does not deteriorate.

[0066] In addition, a back light can be attached in the up transparent glass-substrate SUB2 side, and lower transparent glass-substrate SUB1 can also be made into an observation side (external exposure side).

[0067] (Light filter FIL) A light filter FIL colors a color the bathochromic group material formed with resin material, such as acrylic resin, and is constituted. Arrangement formation is carried out as mentioned above at the shape of a stripe at the position and configuration which counters a pixel (drawing 5), and the light filter FIL is dyed in various colors (drawing 5 is what drew only the light filter FIL corresponding to drawing 4 , and has given the hatch (a vertical line with each respectively parallel light filter FIL of B, R, and G, 45 degrees, and 135 degrees)). A light filter FIL is formed in oversized so that all the transparent pixel electrodes ITO1 may be covered, and the shading film BM is formed inside the periphery section of the transparent pixel electrode ITO1 so that it may lap with the edge portion of a light filter FIL and the transparent pixel electrode ITO1.

[0068] A light filter FIL can be formed as follows. First, bathochromic group material is formed in the front face of a transparent glass-substrate SUB2, and photolithography technology removes bathochromic group material other than a red filter formation field. Then, bathochromic group material is dyed with a red color, fixing processing is performed, and the red filter R is formed. The green filter G and the blue filter B are formed one by one by giving the same process to the next.

[0069] (Protective coat PSV2) The protective coat PSV2 is formed in order to prevent that the color which dyed the light filter FIL in various colors in a different color leaks to liquid crystal LC. The protective coat PSV2 is formed with a transparent resin material, such as acrylic resin and an epoxy resin.

[0070] (Common transparent pixel electrode ITO2) The common transparent pixel electrode ITO2 counters the transparent pixel electrode ITO1 prepared in the lower transparent glass-substrate SUB1 side for every pixel, and the optical state of liquid crystal LC answers the potential difference between each pixel electrode ITO1 and the common transparent pixel electrode ITO2 (electric field), and changes. It is constituted so that the common voltage Vcom may be impressed to this common transparent pixel electrode ITO2. The common voltage Vcom is the middle potential of the driver voltage Vdmin of the low level impressed to the video-signal line DL, and the high-level driver voltage Vdmax.

[0071] (Gate-terminal section) Drawing 6 is drawing showing the connection structure from the scanning signal line GL of a display matrix to the external end-connection child GTM, (A) is a flat surface and (B) shows the cross section on the B-B cutting plane line of (A). In addition, this drawing shows near the left end of a substrate SUB 1, if based on the matrix of drawing 4 .

[0072] the mask pattern for photographic processing in AO -- in other words, it is the photoresist pattern of alternative anodic oxidation. Therefore, this photoresist is removed after anodic oxidation, and although the pattern AO shown in drawing does not remain as a finished product, since an oxide film AOF is alternatively formed in the gate wiring GL as shown in a cross section, the locus remains. In a plan, they are the field which covers left-hand side by the resist on the basis of the boundary line AO of a photoresist, and does not carry out anodic oxidation, and the field by which right-hand side is exposed from a resist and anodic oxidation is carried out. In the AL layer g2 by which anodic oxidation was carried out, the 2Oxide aluminum3 film AOF is formed in a front face, and, as for a downward current carrying part, volume decreases. Of course, anodic oxidation sets up suitable time, voltage, etc. and is performed so that the current carrying part may remain. A mask pattern AO does not intersect the scanning line GL in a single straight line, but bends in the shape of a crank, and is made to cross, as mentioned above.

[0073] Although the hatch is given in order to make intelligible the AL layer g2 in drawing, patterning of the field by which anodization is not carried out is carried out to the pectinate. Since whiskers generate [the width of face of aluminum layer] this on latus and a front face, 1 one width of face is an aim which presses down the sacrifice of the probability of an open circuit, or conductivity to minimum, preventing generating of whiskers by narrowing and considering as the composition which bundled them to two or more parallel. Therefore, in this example, the portion equivalent to the origin of a comb is also shifted along with Mask AO.

[0074] With an oxidization silicon SIO layer and the adhesive good Cr layer g1, a gate terminal GTM protects the front face further, and consists of a pixel electrode ITO1 and a transparent conductive layer d1 of this level (this layer, simultaneous formation). In addition, the conductive layers d2 and d3 formed in the gate insulator layer GI top and its lateral portion remain owing to the pinhole etc. as a result to which a conductive layer g2 and g1 had covered the field by the photoresist so that it might not ***** together at the time of a conductive layer d3 or etching of d2. Moreover, the ITO layer d1 which overcame the gate insulator layer GI and was extended rightward takes the same measures still more thoroughgoing.

[0075] The protective coat PSV1 is also formed on the right of the boundary line on the right of the boundary line, the gate insulator layer GI exposes from them the terminal area GTM located in a left end, and the electric contact to an external circuit has come to be able to do it in a plan. Drawing, although only one pair of the gate line GL and a gate terminal is shown, such [in practice] two or more pairs are put in order up and down drawing, and the left end of a

gate terminal is extended and short-circuited across the cutting field of a substrate in manufacture process drawing. Such a short circuit in manufacture process is useful to the electrostatic-discharge prevention at the time of the electric supply at the time of anodization, and rubbing of the orientation film ORI1 etc.

[0076] ((DTM) Drain terminal) Drawing 7 is drawing showing connection from the video-signal line DL to the external end-connection child DTM, (A) shows the flat surface and (B) shows the cross section in the B-B cutting plane line of (A). If this drawing is based on the matrix of drawing 4, although the upper-limit section and the soffit section of a substrate SUB 1 are shown and the direction is changed for convenience, the direction of a left end corresponds to the upper-limit section or the soffit section of a substrate SUB 1.

[0077] TSTd is an inspection terminal and an external circuit is not connected here. Although termination is carried out without arriving at the edge of a substrate SUB 1 as it is arranged alternately with plurality alternately [the inspection terminal TSTd and the external connection drain terminal DTM] in the vertical direction and the inspection terminal TSTd is shown in drawing, the drain terminal DTM is further extended exceeding the cutting plane line of a substrate SUB 1, and as for the inside of manufacture process, the all connect too hastily mutually for electrostatic-discharge prevention. A drain end-connection child is connected to an opposite side on both sides of the matrix of the video-signal line DL by which the inspection-among drawing terminal TSTd exists. Conversely, on both sides of the matrix of the video-signal line DL by which the drain end-connection child DTM exists, the drain end-connection child DTM by whom an inspection terminal is connected is formed in the opposite side by the same reason as the gate terminal GTM mentioned above by two-layer [of the Cr layer g1 and the ITO layer d1]. It connects with the video-signal line DL in the portion which removed the gate insulator layer GI. The semiconductor layer AS formed on the edge of the gate insulator layer GI is for *****ing the edge of the gate insulator layer GI in the shape of a taper. On Terminal DTM, in order to make connection with an external circuit, it is removed not to mention the protective coat PSV1. Although AO is the anodic oxidation mask mentioned above, the boundary line is formed so that matrix ***** may be surrounded greatly, and left-hand side is covered with a mask from the boundary line drawing, since a layer g does not exist in the portion which is not covered in this drawing, this pattern is not directly related.

[0078] (Structure of the retention volume element Cadd) In the edge connected with TFT TFT, and the edge of an opposite side, the transparent pixel electrode ITO1 is formed so that it may lap with the bypass GBP of the next scanning signal line GL. This superposition constitutes the retention volume element (electrostatic capacitive element) Cadd which uses the transparent pixel electrode ITO1 as one electrode PL 2, and uses the bypass GBP of the next scanning signal line GL as the electrode PL 1 of another side so that clearly also from drawing 3. The dielectric film of this retention volume element Cadd consists of an insulator layer GI used as a gate insulator layer of TFT TFT and an oxide film on anode AOF.

[0079] The retention volume element Cadd is formed in the portion of the 2nd electric conduction film g2 of the bypass GBP of the scanning signal line GL so that clearly also from drawing 1. In addition, the 2nd electric conduction film g2 of the portion which intersects the video-signal line DL is made thin in order to make small probability of a short circuit with the video-signal line DL. The defect is compensated by the island field which was formed so that the level difference might be straddled and which reached 2nd electric conduction film d2 and consists of 3rd electric conduction films d3 even if the transparent pixel electrode ITO1 is disconnected in the level difference section of the electrode PL 1 of the retention volume element Cadd. This island field is constituted as small as possible so that a numerical aperture may not be fallen.

[0080] Moreover, since the retention volume element Cadd which uses the pixel electrode ITO1 as one electrode, and uses the bypass GBP of the next pixel as the electrode of another side was formed, when a short circuit occurs in the retention volume element Cadd section, by cutting the bypass GBP of the both sides of this short circuit section, the short circuit section is separated electrically and can correct the point defect by the short circuit of the retention volume element Cadd section. Furthermore, since Bypass GBP and the retention volume element Cadd were made to serve a double purpose, a numerical aperture can be improved.

[0081] (The whole display equal circuit) The schematics of the equal circuit and circumference circuit of the display matrix section are shown in drawing 8. Although this drawing is a circuit diagram, it is drawn corresponding to actual geometry. AR is the matrix array which arranged two or more pixels in the shape of-dimensional [2].

[0082] Among drawing, X (subscript ellipsis) means the video-signal line DL, and Subscripts G, B, and R are added corresponding to green, blue, and the red pixel, respectively. Y means the scanning signal line GL and subscripts 1, 2 and 3, --, end are added according to the sequence of scanning timing.

[0083] The video-signal line X (subscript ellipsis) is connected to the top (or odd number) video-signal drive circuit Heli and the bottom (or even number) video-signal drive circuit Ho by turns.

[0084] The scanning signal line Y (subscript ellipsis) is connected to the vertical-scanning circuit V.

[0085] SUP is a circuit including the circuit which exchanges for the information for TFT liquid crystal displays the information for CRT (cathode-ray tube) from the power circuit and host (host processor) for obtaining the stable voltage source which plurality pressured partially from one voltage source.

[0086] (The equal circuit and operation of the retention volume element Cadd) The equal circuit of the pixel shown in drawing 1 is shown in drawing 9. In drawing 9, Cgs is a parasitic capacitance formed between the gate electrode GT of TFT TFT, and the source electrode SD 1. The dielectric films of a parasitic capacitance Cgs are an insulator layer and an oxide film on anode AOF. Cpix is a liquid crystal capacity formed between the transparent pixel electrode ITC (PIX) and the common transparent pixel electrode ITO2 (COM). The dielectric films of the liquid crystal capacity Cpix are liquid crystal LC, a protective coat PSV1, and the orientation films ORI1 and ORI2. Vlc is middle point potential.

[0087] When TFT TFT switches, the retention volume element Cadd works so that the influence of gate potential change ΔV_g to the middle point potential (pixel electrode potential) V_{lc} may be reduced. If this situation is expressed with a formula, it will become like the following formula.

[0088]

$\Delta V_{lc} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$ -- here, ΔV_{lc} expresses a changed part of the middle point potential by ΔV_g . Although this change part ΔV_{lc} causes a dc component which joins liquid crystal LC, the more it enlarges retention volume Cadd, the more the value can be made small. Moreover, the retention volume element Cadd also has the operation which lengthens a charging time value, and accumulates the image information after TFT TFT turns off for a long time. Reduction of the dc component impressed to liquid crystal LC can improve the life of liquid crystal LC, and can reduce the so-called seizure by which a front picture remains at the time of the change of a liquid crystal display screen.

[0089] As mentioned above, overlap area of the gate electrode GT with the part, the source electrode SD 1, and the drain electrode SD 2 which are enlarged increases so that the i-type-semiconductor layer AS may be covered completely, therefore a parasitic capacitance Cgs becomes large, and the opposite effect of becoming easy to be influenced of the gate (scan) signal V_g produces the middle point potential V_{lc} . However, this demerit is also cancelable by forming the retention volume element Cadd.

[0090] The retention volume of the retention volume element Cadd is set as the value about eight to 32 times ($8 < C_{gs} < C_{add} < 32$, C_{gs}) from the write-in property of a pixel to four to 8 times ($4, C_{pix} < C_{add} < 8$, and C_{pix}), and a parasitic capacitance Cgs to the liquid crystal capacity Cpix.

[0091] (The connection method of a retention volume element Cadd electrode line) The scanning signal line GL (Y0) of the first rank used only as a retention volume electrode line is connected to the common transparent pixel electrode ITO2 (Vcom) as shown in drawing 8. Since silver paste material connects with external drawer wiring of a substrate SUB 1 in the periphery section of a liquid crystal display as mentioned above, the common transparent pixel electrode ITO2 of a substrate SUB 2 should just connect the scanning signal line GL (Y0) of the first rank to the external drawer wiring by the substrate SUB 1 side. Or you may connect the retention volume electrode line Y0 of the first rank so that it may connect with the scanning signal line Yend of the last stage at direct-current potential points other than connection and Vcom (alternating current grounding point) or the scanning pulse Y0 may be received in one excess from the vertical-scanning circuit V.

[0092] (The manufacture method) Below, the manufacture method by the side of the substrate SUB 1 of the liquid crystal display mentioned above is explained with reference to drawing 10 - drawing 12. In addition, in this drawing, central character is the abbreviated name of a process name, and the pixel portion which shows left-hand side to drawing 2, and right-hand side show the flow of processing seen in the cross-section configuration near [which is shown in drawing 6] a gate terminal. Except for Process D, Process A - Process I are what was classified corresponding to each photographic processing, and show the stage which processing after photographic processing finished any cross section of each process, and removed the photoresist. In addition, in this explanation, photographic processing shall show a series of work until it develops it through the selection exposure which used the mask from the application of a photoresist, and avoids explanation of recurrence. It explains according to the process classified below.

[0093] After forming the silicon-oxide film SIO in both sides of lower transparent glass-substrate SUB1 which consists of a process A and drawing 107059 glass (tradename) by DIP processing, 500 degrees C and BEKU for 60 minutes are performed. On lower transparent glass-substrate SUB1, thickness forms the 1st electric conduction film g1 which consists of chromium which is 1100Å by sputtering, and *****s the 1st electric conduction film g1 alternatively with the 2nd cerium ammonium solution of a nitric acid as an etching reagent after photographic processing. The anodic oxidation pad (not shown) connected to the anodic oxidation bus line (not shown) which connects gate-termin

GTM, the drain terminal DTM, and a gate terminal GTM, the bus line (not shown) which short-circuits the drain terminal DTM, and the anodic oxidation bus line by it is formed.

[0094] Process B and the drawing 10 thickness form the 2nd electric conduction film g2 which consists of aluminum-Pd, aluminum-Si, aluminum-Si-Ti, aluminum-Si-Cu, etc. which are 2800Å by sputtering. The 2nd electric conduction film g2 is alternatively *****ed after photographic processing with the mixed-acid liquid of a phosphoric acid, nitric acid, and a glacial acetic acid.

[0095] A substrate SUB 1 is immersed into the anodic oxidation liquid which consists of liquid which diluted with ethylene glycol liquid to 1:9 the solution which adjusted the tartaric acid to PH 6.25**0.05 by ammonia 3% after Process C and drawing 10 photographic processing (after the anodic oxidation mask AO formation mentioned above), and it adjusts so that the Chemicals current density may become 0.5 mA/cm² (constant-current Chemicals). Next, anodic oxidation is performed until it amounts to formation voltage 125V [required to obtain 2Oaluminum₃ predetermined thickness]. It is desirable to hold in this state after that for several 10 minutes (constant-voltage Chemicals). This is important, when obtaining 2Oaluminum₃ uniform film. The process D at which it carries out anodic oxidation of the electric conduction film g2, and the oxide film on anode AOF whose thickness is 1800Å is formed of it on the scanning signal line GL, the gate electrode GT, and an electrode PL 1. Ammonia gas, silane gas, and nitrogen gas are introduced into drawing 11 plasma CVD equipment. After preparing the nitriding Si film whose thickness is 2000Å, introducing silane gas and hydrogen gas into plasma CVD equipment and preparing the i type amorphous Si film whose thickness is 2000Å, hydrogen gas and phosphine gas are introduced into plasma CVD equipment, and the N(+) type amorphous Si film whose thickness is 300Å is prepared.

[0096] The island of the i-type-semiconductor layer AS is formed after Process E and drawing 11 photographic processing by *****ing alternatively an N(+) type amorphous Si film and an i type amorphous Si film as dry etching gas using SF₆ and CCl₄.

[0097] SF₆ is used as dry etching gas after Process F and drawing 11 photographic processing, and a nitriding Si film is *****ed alternatively.

[0098] Process G and the drawing 12 thickness form the 1st electric conduction film d1 which consists of an ITO film which is 1400Å by sputtering. The best layer and the transparent pixel electrode ITO1 of gate-terminal GTM and the drain terminal DTM are formed after photographic processing by *****ing the 1st electric conduction film d1 alternatively with the mixed-acid liquid of a hydrochloric acid and a nitric acid as an etching reagent.

[0099] The 2nd electric conduction film d2 which consists of Cr Process H and whose drawing 12 thickness are 600Å is formed by sputtering, and the 3rd electric conduction film d3 which consists of aluminum-Pd, aluminum-Si, aluminum-Si-Ti, aluminum-Si-Cu, etc. whose thickness is 4000Å further is formed by sputtering. The 3rd electric conduction film d3 is *****ed with the same liquid as Process B after photographic processing, the 2nd electric conduction film d2 is *****ed with the same liquid as Process A, and the video-signal line DL, the source electrode SD 1, and the drain electrode SD 2 are formed. N(+) type semiconductor layer d0 between the source and a drain is alternatively removed by introducing CCl₄ and SF₆ into a dry etching system, and next, *****ing an N(+) type amorphous Si film.

[0100] Ammonia gas, silane gas, and nitrogen gas are introduced into Process I and drawing 12 plasma CVD equipment, and the nitriding Si film whose thickness is 1 micrometer is prepared. A protective coat PSV1 is formed after photographic processing by *****ing a nitriding Si film alternatively with the photo-etching technology which used SF₆ as dry etching gas.

[0101] (Modification) In the above-mentioned example, although a phot register patterns on aluminum gate wiring were constituted from a crank configuration, it is not caught by this configuration. If it is the configuration which stops when ablation occurs and advances to a phot register patterns in short, you may constitute from independent or combination, such as a rectangle, a triangle, circular, and a trapezoid.

[0102] (Application range) Although invention made by this invention person was concretely explained above based on the example, this invention of the ability to change variously in the range which is not limited to the aforementioned example and does not deviate from the summary is natural.

[0103] For example, pattern configurations, such as the scanning signal line GL, its bypass GBP, the video-signal line DL, and TFT TFT, a position, or a number cannot be overemphasized by not being limited to what was shown in drawing 1. Moreover, in the example of drawing 1, although only one per each pixel was prepared, you may form two or more bypasses GBP of the scanning signal line GL. Moreover, although arrangement of a pixel and a light filter FL was made into stripe arrangement structure in the above-mentioned example as shown in drawing 4, drawing 5, and drawing 1, it is good also as triangle (triangle) arrangement structure. Since color mixture of each color can be improved by making it this structure, the resolution of a color picture can be improved.

[0104] Furthermore, for example, in the above-mentioned example, although the liquid crystal display which can expect the largest volume efficiency explained, this invention is applicable not only to it but thin film devices which used TFT, such as an adhesion formula photosensor and electro luminescent display.

[0105]

[Effect of the Invention] As explained above, since ** scanning signal line and the gate electrode of TFT were made to serve a double purpose, a numerical aperture can be improved with the liquid crystal display of this invention. ** Since the closed loop which formed the bypass in the scanning signal line for every pixel, and was connected with the external circuit by the scanning signal line and the bypass was formed for every pixel, when a short circuit arises in a closed loop, wherever it may cut [of a closed loop] using laser etc., it connects with an external circuit, and a line defect can be corrected. ** since the video-signal line was made to intersect a closed loop by two or more places -- a scanning signal line and a video-signal line -- this -- even if a short circuit occurs in which part of the portion together put in two or more intersections or the pile, a line defect is completely correctable by cutting the closed loop of the both sides of the short circuit section ** since the retention volume element which uses a pixel electrode as one electrode and uses the bypass of the next pixel as the electrode of another side was formed, when a short circuit occurs in the retention volume element section, the short circuit section is electrically separated by cutting the bypass of the both sides of this short circuit section -- having -- the retention volume element section -- simplistic -- the point defect to depend is correctable ** Since the bypass and the retention volume element were made to serve a double purpose, numerical aperture can be improved. furthermore, ** -- in the TFT of all pixels, since change of the source of TFT or the lap condition of a drain electrode becomes the same about all pixels even if a doubling gap of the mask for TFT formation to a horizontal direction or a perpendicular direction arises, since the source electrode has been arranged to the same direction to the drain electrode which was united with the video-signal line, dispersion in the property of TFT can be prevented Consequently, the bright good display screen of display quality without a line defect can be obtained and the yield of a liquid crystal display can be raised, and a manufacturing cost can be lowered.

[Translation done.]